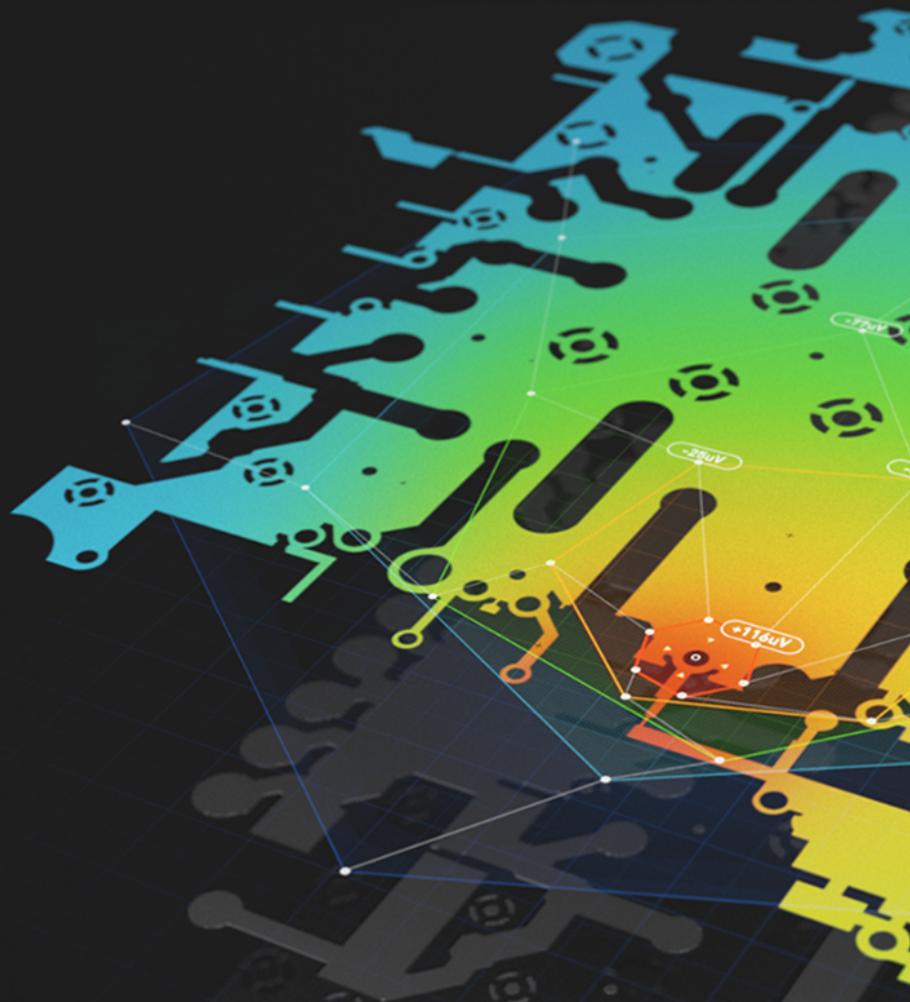


**Altium**<sup>®</sup>

# PDN Analyzerユーザーガイド





## 目次

<b>DCパワーインテグリティー (PI-DC) の目的</b>	<b>3</b>
設計時のPDN解析の必要性	3
<b>PDN ANALYZERの初期設定</b>	<b>5</b>
<b>PDN ANALYZERのインターフェイスを使用する</b>	<b>7</b>
解析を構成する	7
解析を実行する	7
解析結果を表示する	7
表示フィルターモード	8
<b>実用的な例とデモ</b>	<b>9</b>
U4からU1へのVCCINT (1.8V)	9
U3からU1、および他の負荷に至るVCCO (3.3V)	10
J1からF1とS1を通してU3、U4、および他の負荷に至るPWR_IN (5V)	10
例1の設定	10
例2の設定: VCCO (3.3V)	21
例3の設定: PWR_IN (5V)	23
バッチシミュレーションの例	25
<b>まとめ</b>	<b>27</b>
<b>付録</b>	<b>27</b>
金属伝導率の詳細	27
ビアの壁厚	28
一般的なエラーと警告状況	28



## DCパワーインテグリティー（PI-DC）の目的

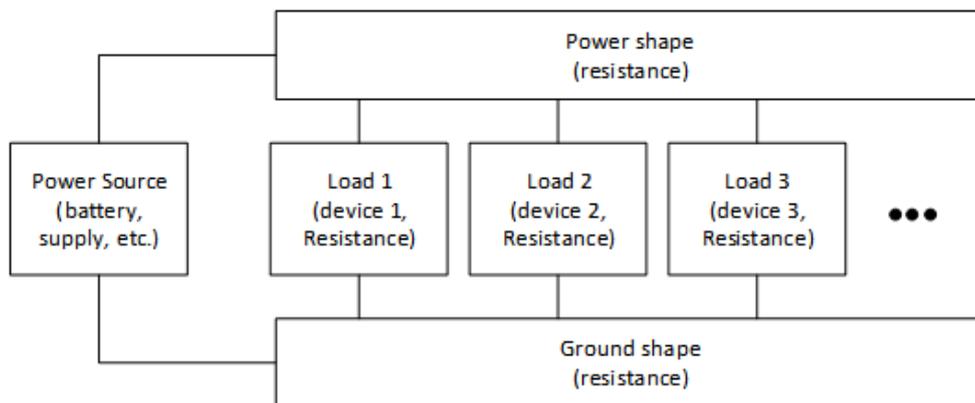
デジタル設計の密度と複雑さがますます増大する中、設計での決定が電源分配ネットワーク（PDN）の電圧や電流に及ぼす影響について完全に理解することは、これまで以上に困難かつ重要になっています。今日のPCB設計者は、PDNの問題の解決を、物理的な試作を使った設計後の作業として捉えるのではなく、PDNの問題を設計時に正確に特定し解決する方法を必要としています。

Altium Designer®に付属のCST®によるPDN Analyzerでは、経験レベルに関係なく、あらゆるPCB設計者にとって親しみやすく直観的なプロセスでPDN解析を行います。このデモガイド内では、順を追ってPDN Analyzerの初期設定を説明します。物理的な試作に依存せず、設計時にPDNを快適に最適化できるようになります。

### 設計時のPDN解析の必要性

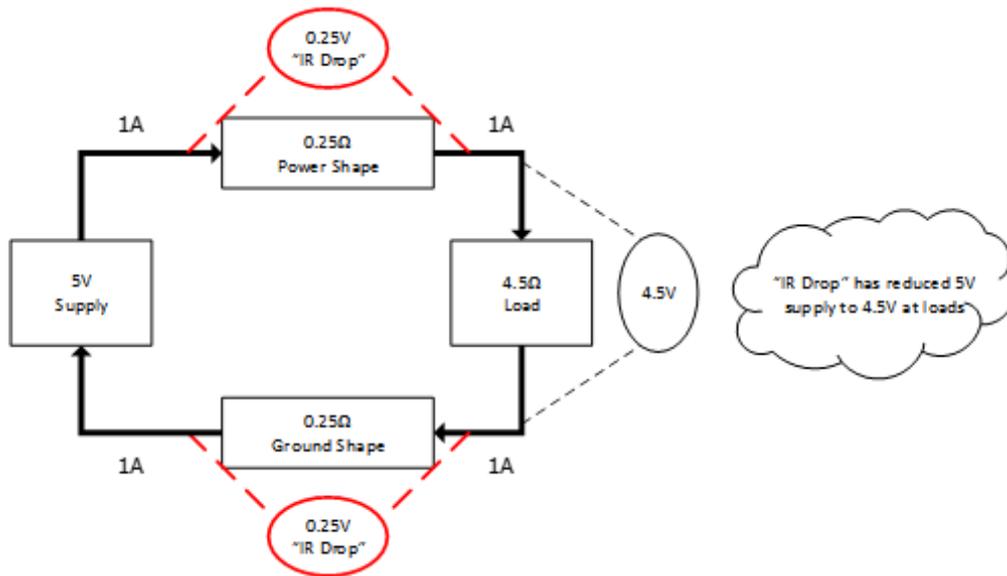
電圧ソースから負荷までの銅箔が十分であることを、今はどのようにして確認していますか？ プレーンは、適切な電圧範囲を負荷に提供していますか？ 通常のPCB設計プロセスでは、これらの問いへの答えは、しばしばありません。通常、エンジニアは、確立された基準を当てにして、うまく行けばPDN問題を回避できるよう、控えめな値を採用します。このように当て推量に頼っていると、試作で把握しきれない場合、製品の信頼性や評判を損なう大失敗に至る場合があります。

全ての設計は、基板上のチップに対する適切な電力消費要件を満たす必要があります。この際に最も重要なステップは、DC電源供給に十分な銅箔を提供することです。電力消費のチェックや最適化が行われないと、IRドロップが発生します。すると、電源やGND shapeの抵抗によって電圧が消費され、電圧を最も必要とする負荷まで行き渡りません。



基本的な電源とGND shapeのブロック図

上の図は、電源およびGND領域（トレースとプレーン）の簡単なブロック図を示しています。これらは、さまざまな負荷（メモリ、マイクロ コントローラーなど）に電源を供給します。全ての負荷が、同じ電源とGND shapeに接続されており、動作電圧の供給が、それらの領域に依存していることに注意してください。一般に、それらの電源やGND領域の抵抗は0オームであると想定する傾向がありますが、決してそうではなく、その想定が問題をもたらす場合があります。比較的大きな電流が関係するので、電源やGND領域の小さな抵抗でさえ、かなりの電力消費や電圧降下をもたらす場合があります。



電源と負荷の間のIRドロップ効果を示す

上の図は、電源とGND shapeの抵抗を適切に考慮していない場合に発生する問題の例を示しています。各領域の抵抗は、わずか0.25オームと比較的小さくても、負荷では電圧が5Vから4.5Vに降下します。設計者は、この降下に気づき、それに適応できることを確認するか、または、デザインを変更して降下を減らす必要があります。そうしないと、デザインが現場で機能しない可能性があります。

もちろん、この問題の解決は簡単のように見えます - 電源とGND shapeを、抵抗が小さくなるまで短くまたは大きくすればよいのです。次の関係を使用します:  $R = \rho * L/A$ , ここで:

- Rは、shape (トレースまたはプレーン) の全抵抗
- $\rho$ は、shapeに使用されている材料の抵抗率 (通常は銅、 $\rho \approx 1.7\mu\Omega\text{-cm}$ )
- Lはshapeの長さ
- Aはshapeの断面積 (幅 \* 厚さ)

電源やGND shapeを短く厚く幅広くすると、抵抗を最小限に抑えることができます。ただし、このプロセスが難しいのは、shapeが大きすぎると貴重な配線スペースを消費し、他の電圧shape用のスペースを制限してしまう場合がある点です。電源やGND shapeのサイズが適切な設計は、よく考えずに大きすぎるプレーンを使用している設計より、コンパクトでレイヤーの数も少なくなります。PI-DCの目的は、電源やGND shapeが十分であり大きすぎないかを設計者に知らせることです。

IRドロップについては、消費電力量は $I^2R$ という関係に従うので、抵抗を通る電流が少し増えても、消費電力は大きく増えるという点も考慮すべきです。このため、電源またはGND shapeのサイズが、それらを通る電流に対応できるほど大きくないと、バッテリーの寿命が低下したり、かなり発熱したりします。電源やGND shapeでのIRドロップを非常に小さくすれば、それらのshapeでの電力消費を最小化できます。

極端に言えば、shapeの抵抗が (非常に狭く長く) 十分に大きく、そこを十分な電流が流れている場合、そのshapeは実質的にヒューズになってしまいます。銅箔のshapeが溶け、デザインが機能しなくなり、ことによると危険な状況になります。IPC-2152は、この問題に対応しますが、(熱伝導性を持つ銅箔が近くにないなど) 想定が悲観的です。多くの場合、設計者は、許容される温度上昇を最低限に抑えるなど、最も慎重な想定を行って、この仕様を使います。

PI-DCは、熱に関する注意点のガイドラインとして IPC-2152の代わりにはなりませんが、PCBの電源供給システムの電圧降下や電流密度を検討することによって、どのように設計を安全に最適化できるかの貴重な洞察を提供できます。ソースと負荷の間の電流密度と電圧降下が最低になるよう最適化された設計では、発熱も減り、熱の問題が発生する可能性も小さくなります。



PI-DCは、電源供給に使用されるビアの量にも対応します。この問題は、shapeを適切なサイズにする問題と非常に似ています。ビアが十分になれば、IRドロップを通じて、電圧が失われ電力が浪費されます。使用されているビアが多すぎると、貴重な配線スペースが浪費されます。ある電圧に対して使用されているビアが多すぎる場合、それらのビアは、他のレイヤーのshapeを通過し、銅箔の断面積が小さくなって、それらの他の電圧に問題をもたらします。shapeのサイズを決める場合と同様、負荷の電圧を分析すれば、ビアの適切なサイズおよび/または数を決定できます。

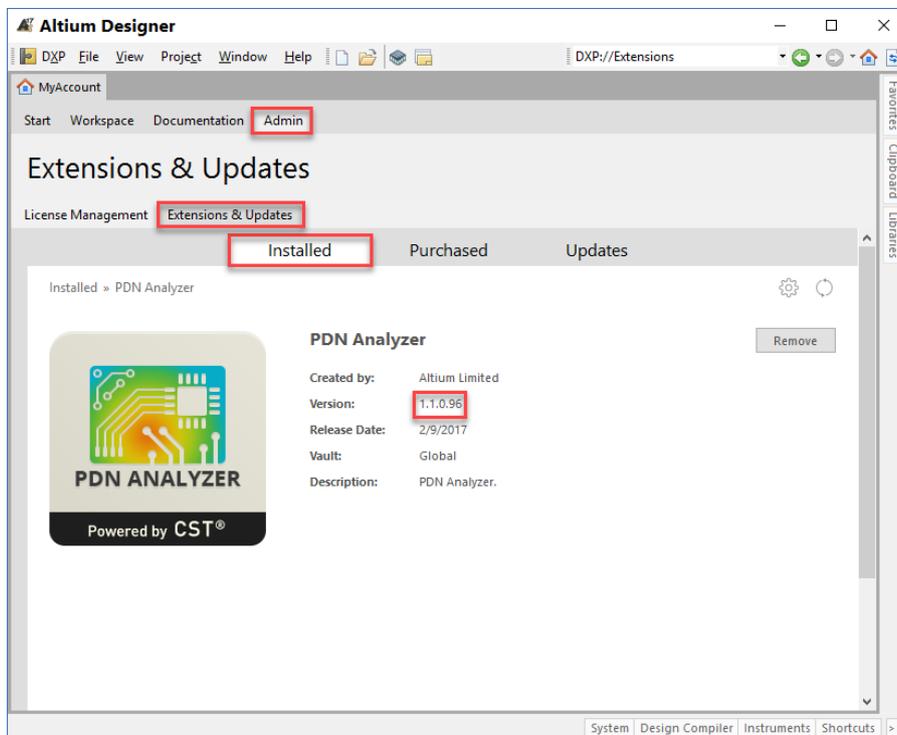
さまざまな電源やGND shape、ビアによる電圧降下に関する信頼できるデータがなければ、設計者は慎重であることを強いられます。使用するプレーンshapeやビアが過度になり、貴重な設計スペースを消費し、レイヤーや設計フォームファクターが増えます。PDN Analyzerは、設計のDC電源分配が適切かどうかの正確な情報を、分かりやすく簡単かつ迅速に提供します。これにより、設計者は、最も効率的な電源分配設計を作成できます。

その結果は、最終設計の検証に適しているだけでなく、設計の計画段階でも使用でき、できるだけ効率的に電源を設計できます。PI-DCは、最も効率的で堅牢な電源ネットワークを実現するのに非常に貴重なツールであり、PDN Analyzerは、そのツールの実行を簡単、直観的、効率的にします。

## PDN ANALYZERの初期設定

PDN Analyzerは、Altium Designerバージョン**17.0.0**以降で対応しており、64ビットWindowsオペレーティングシステムが必要です。PDN Analyzer拡張機能がインストールされていることを確認するには、以下の手順を行います。

1. Altium DesignerでAltiumLiveアカウントにサインインします。
2. [DXP] » [Extensions and Updates] » [Installed] を選択します。
3. 下図のように拡張機能が表示されることを確認します。



PDN Analyzer拡張機能がインストールされていることを確認する

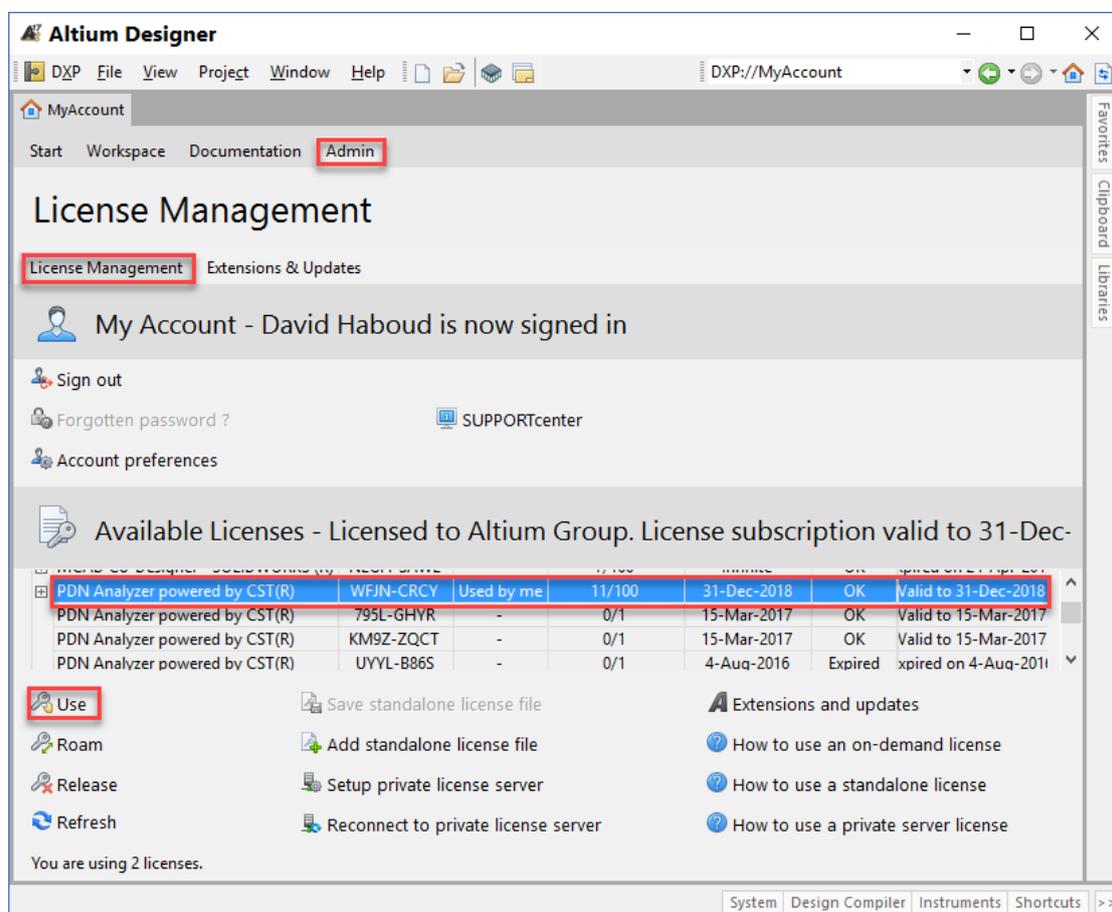


PDN Analyzerがインストールされていない場合は、以下の手順を行います。

1. [DXP] » [Extensions and Updates] を選択します。
2. [Purchased] タブを選択します。
3. PDN Analyzer拡張機能リストの隣にある [Download] アイコンを選択します。
4. ダウンロードした後、Altium Designerを再起動してインストールを完了します。

PDN Analyzer拡張機能には、アクティブなAltium Designerライセンスに加えて、別のライセンスも必要です。PDN Analyzerのライセンス認証は以下の手順を行います。

1. Altium Designerを開き、[DXP] » [Extensions & Updates] を選択します。
2. [License Management] ウィンドウで、下の図に示すように、PDN Analyzerのライセンスを選択します。
3. [Activate] を選択します。



Altium DesignerでPDN Analyzerのライセンス認証を実行します



## PDN ANALYZERのインターフェイスを使用します

PDN Analyzer拡張機能をインストール、ライセンス認証を行った後、インターフェイスの構成、最初の解析の実行、結果の表示といったプロセスを開始できます。

### 解析を構成する

解析の構成はPDN Analyzer拡張機能で簡単にできます。構成プロセスは、以下の簡単な4つの手順に要約できます。

1. ソース電源ネット、負荷電源ネット、GNDネットを定義する。
2. ソースデバイスや負荷デバイスを、対象となる特定のDC電源ルールに対して定義する。
3. ソースネット電圧と最大電流を定義する。
4. 負荷ネット電流および最低電圧レベルを特定の電源ネットに対して定義する。

構成設定全体を構成ファイルに保存し、いつでも再読み込みできます。1回のシミュレーションでは全ての解析が単一の電源ルールについて実行されることに注意してください。複数のDC電源ルールを分析するには、複数の設定を重複しない構成ファイルに保存する必要があります。その後、対象とする全ての電源ネットを個別に分析できます。重要な属性が定義されていない場合、または間違って定義されている場合、エラーを示すメッセージが表示され、シミュレーションは実行されません。

### 解析を実行する

構成を正常に定義した後、**Ready to Simulate**メッセージが表示され、DCの解析を実行できます。解析エンジンは、ソース電源ピンとGNDピンを全ての負荷電源ピンとGNDピンに接続している銅箔オブジェクトの全経路にわたって、DC抵抗を計算します。その後、ユーザーが電源ネットのインテグリティを決定できるよう、DC電圧降下の結果が表示されます。解析の実行時間は、設計のサイズや複雑さによって異なります。

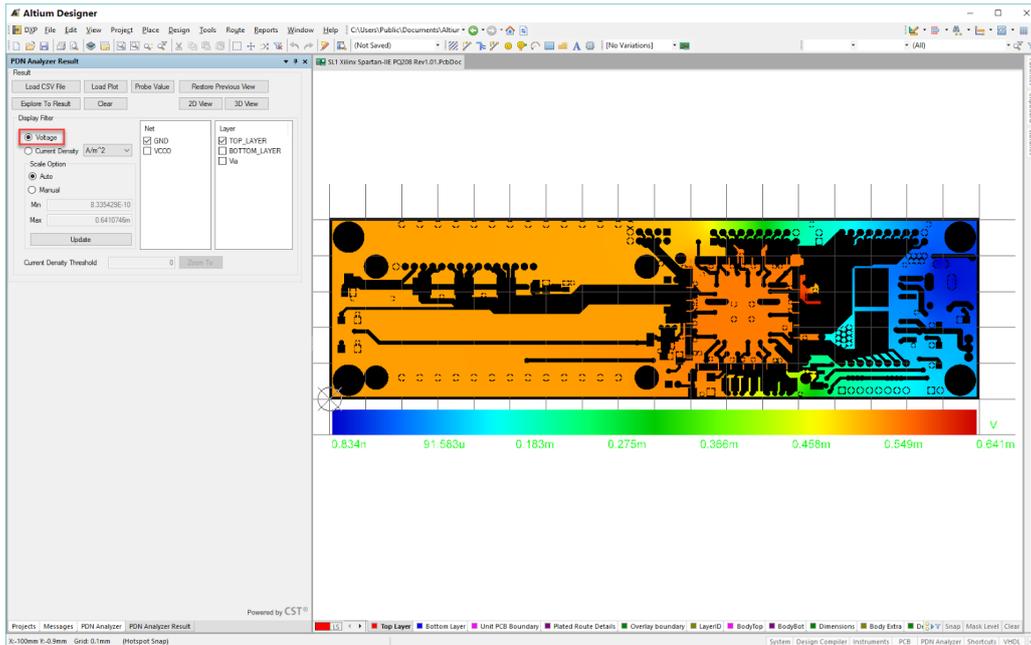
### 解析結果を表示する

設計の解析が完了すると、解析されたネットの物理銅箔オブジェクトに、グラフィカルな結果の注釈が付きます。これは2Dモードまたは3Dモードで表示できます。**GNDネット**、**電源ネット**、**PCBレイヤー**のグラフィカルな結果表示を個々に切り替え、PDNの任意のセクションを正確に表示できます。

### 表示フィルターモード

#### 電圧モード:

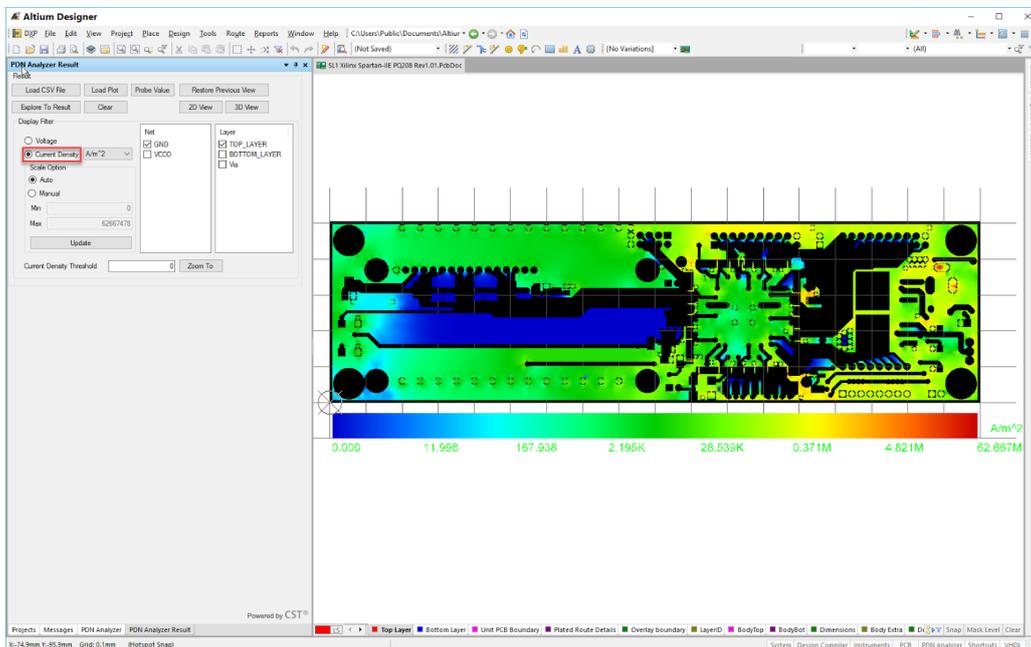
物理的な銅箔の特定のポイントで計算された最小DC電圧から最大DC電圧を色分けして表示します。



表示フィルター電圧モード

## 電流密度モード:

電流 (uA、mA、または A) /面積 (平方ミル、平方ミリメートル、または平方メートル) で計算される、最小電流密度から最大電流密度を色分けして表示します。これは、最適な電流分布を達成するために、銅箔トレース、ポリゴン、またはプレーンの幅/面積を変更する必要がある場所を判断するのに役立ちます。



表示フィルター電流密度モード

**注:** 銅箔の正確な場所の電圧または電流密度モードの値をテキスト値として表示できます。結果パネルで [Probe value] を選択し、希望の位置をクリックしてください。

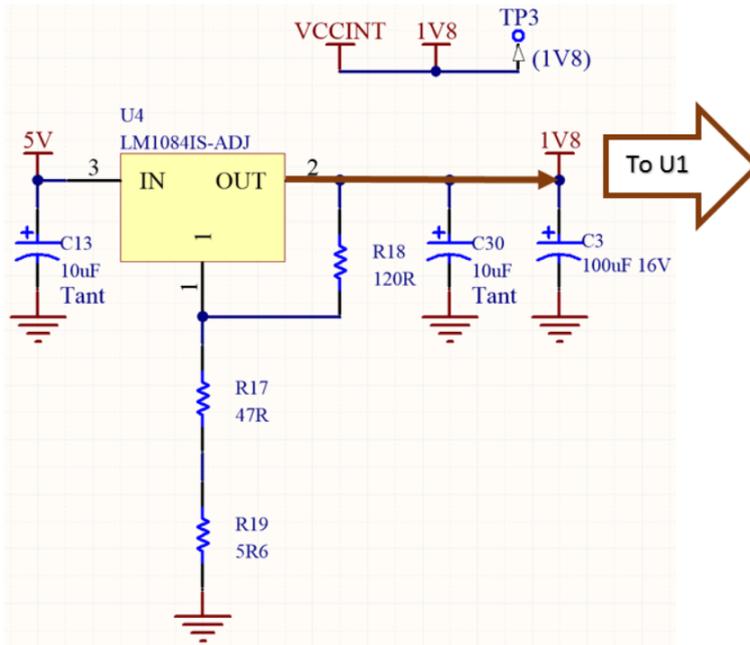


## 実用的な例とデモ

このセクションの例にはSpiritLevel設計を使用します。デフォルトでは、これらのファイルは、Altium Designerインストールフォルダーの例のフォルダーにあります: **C:\Users\Public\Documents\Altium\ADxx\Examples\SpiritLevel-SL1**

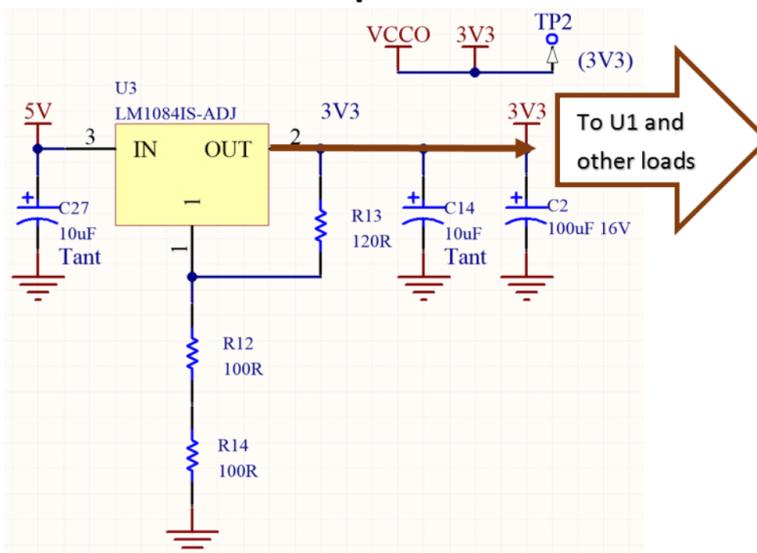
以下の例について説明します。

### Example 1



プロジェクト例1: U4からU1へのVCCINT (1.8V)

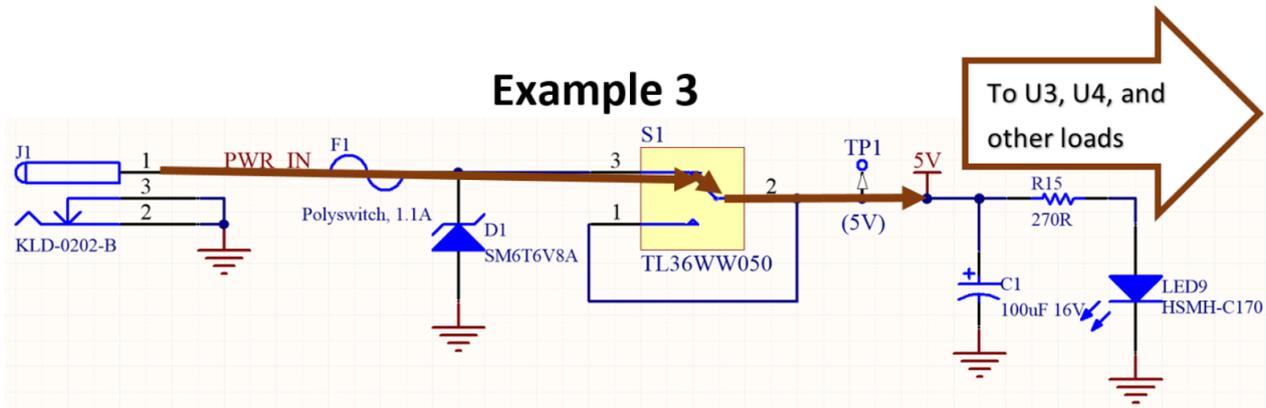
### Example 2



プロジェクト例2: U3からU1へのVCCO (3.3V)



J1からF1とS1を通過してU3、U4、および他の負荷に至るPWR\_IN (5V)

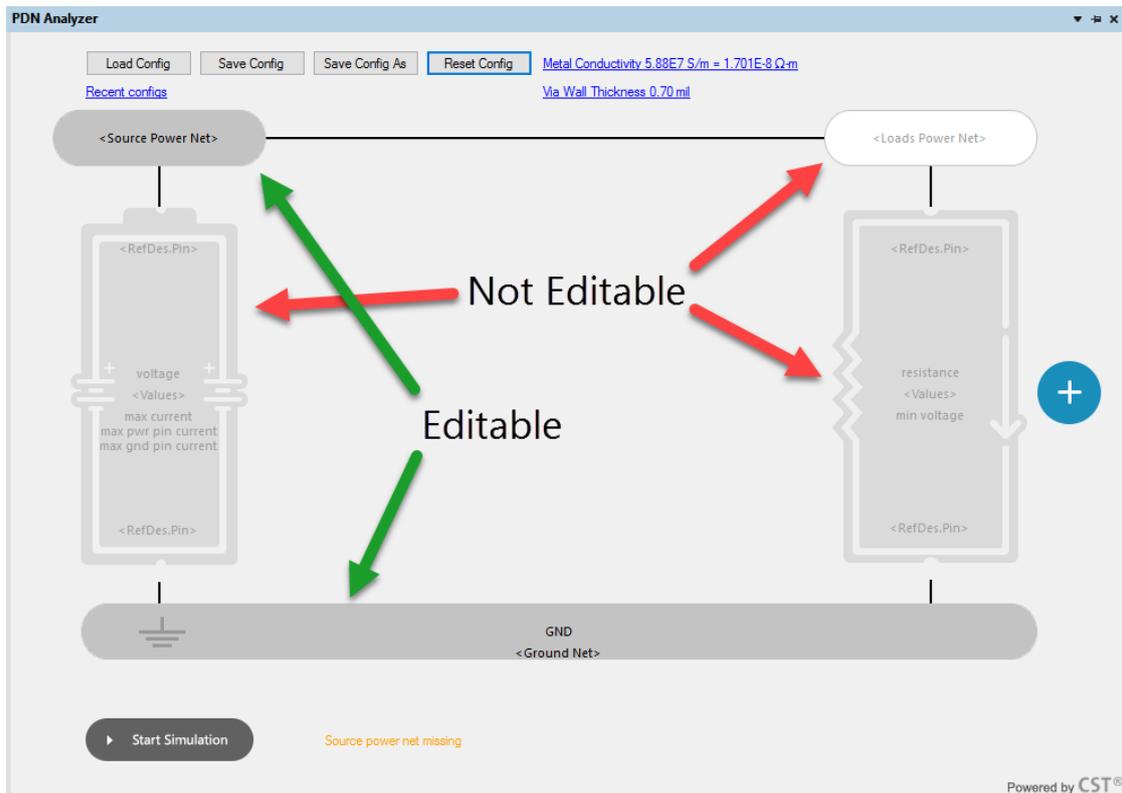


プロジェクト例3: J1からF1とS1を通過してU3、U4、および他の負荷に至るPWR\_IN (5V)

例1の設定: VCCINT (1.8V)

PDN解析を起動する

1. SpiritLevelの回路図またはPCBドキュメントを開き、PDN Analyzer拡張機能を開きます ([Tools] > [PDN Analyzer])。下の図に示すように、拡張機能が別のパネルで起動します:

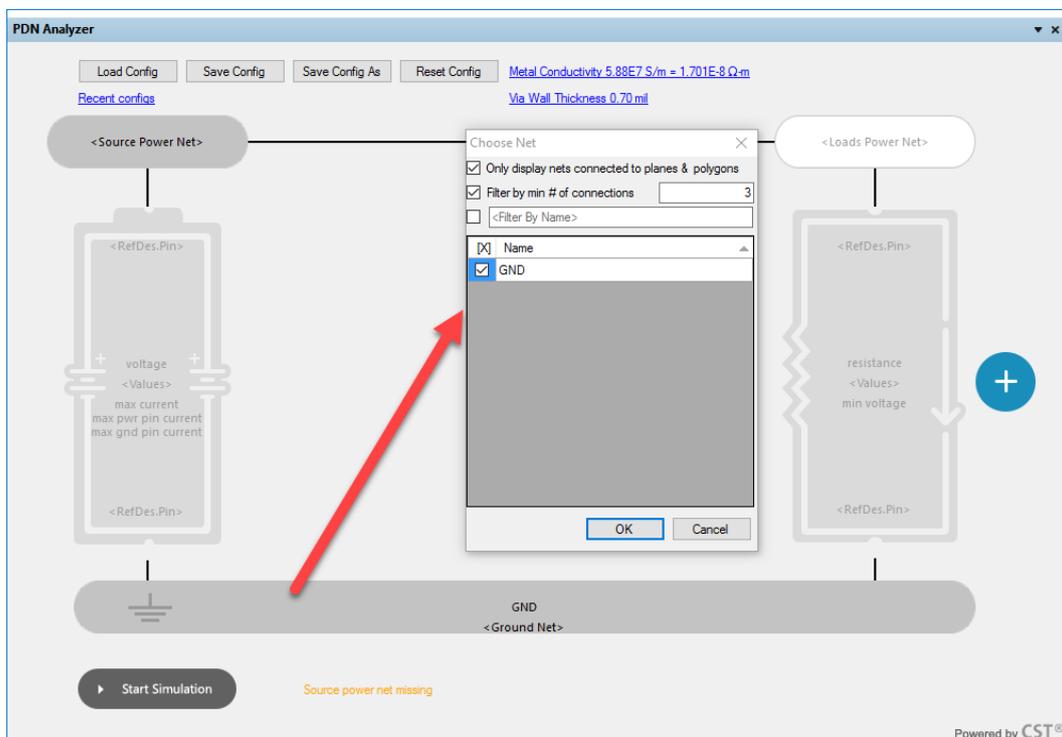


PDN Analyzerのインターフェイスを開く

下に説明するオプションは、PDN Analyzerインターフェイスに表示される設定の概要を示しています。これらの要素の一部が表示されていない場合、インターフェイスパネルのサイズを変更してください。背景やテキストが薄く表示されている項目は、まだ編集できません - 編集が可能になる前に、他の情報を提供する必要があります。網かけが濃くテキストがはっきり表示されている項目は、必要に応じて編集できます。



- Load Configでは、以前に保存したPDN Analyzer構成を読み込むことができます。
  - Recent configsには次の目的が2つあります。
    - 読み込み後または保存後に現在の構成名を表示します。
      - ◇ 読み込み後または保存後に構成が変更された場合、表示名の後ろにアスタリスクが追加されます。
    - 以前に保存したまたは読み込んだ構成をドロップダウンから素早く選択できるようにします。
  - Save Configでは、PDN Analyzerの構成を保存できます。
  - Save Config Asでは、特定の名前を付けてPDN Analyzerの構成を保存できます。
  - Reset Configでは、構成項目を全てクリアします。
  - Metal Conductivityオプションでは、現在のネット伝導率の値を表示し、ベース金属の伝導率や温度補正など、入力値をその値に変更できます。
  - Via Wall Thicknessでは、ビアの円筒部分の厚さを定義します。円筒部の素材は、Metal Conductivityフォームで指定されたものと同じです。
  - 左下にある [Start Simulation] ボタンが有効になるのは、必要なパラメーターを全て入力した後のみです。
2. キャンバスの下部にある<Ground Net>シンボルをクリックし、その設定フォームを表示し、**GND**が既にGNDネットとして選択されていることを確認します。選択されていない場合、ここで選択できます。デフォルトでは、**GND**という名前のネットが選択されており、この手順は、この設計には必要ないはずですが。



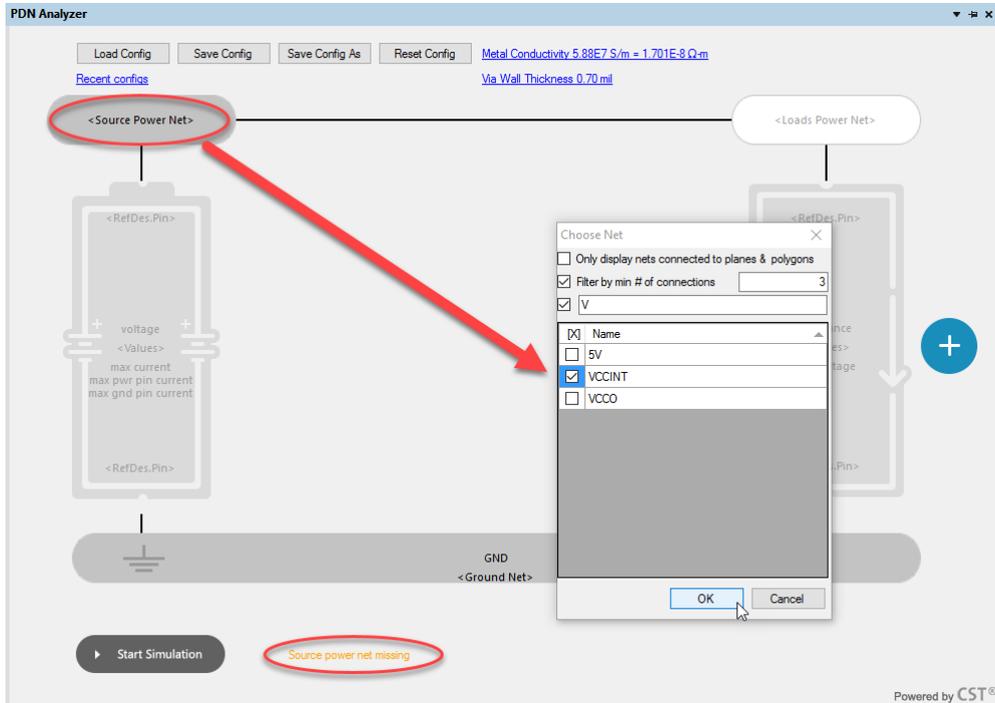
GNDネットを確認する

- キャンバスの下部にあるSource power net missingメッセージに注意してください。通常、ここに表示されるメッセージは、シミュレーションの準備として行すべき次の設定手順を示します。



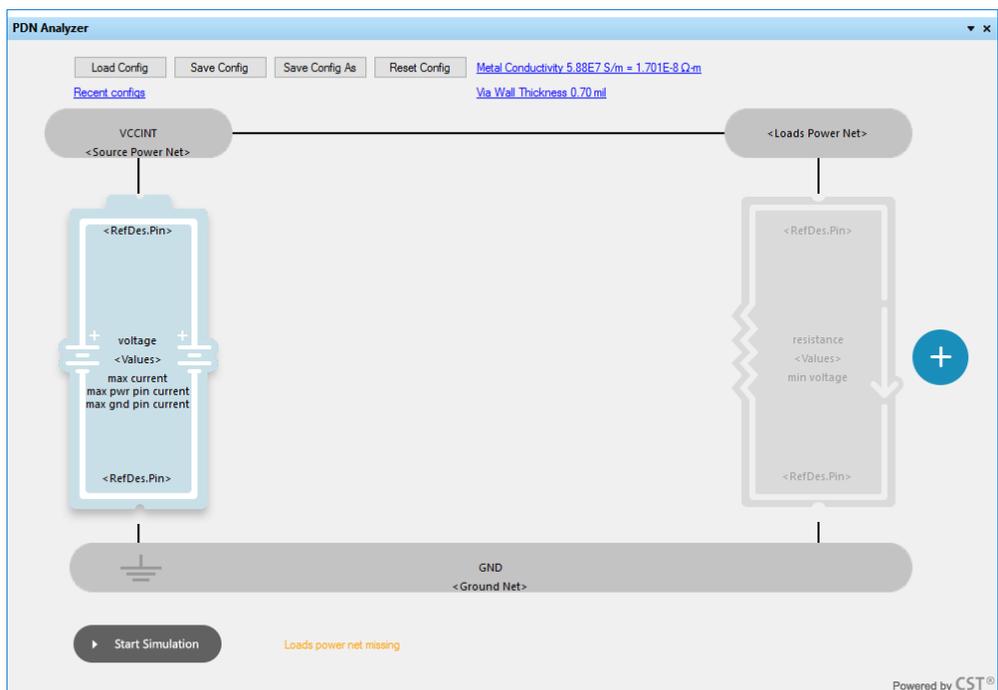
3. 下の図に示すように、**<Source Power Net>**アイコンを選択して、評価したい電源ネットを選択します（この場合は**VCCINT**）。フィルターオプションは、デフォルトでは、電源ネットらしいものだけを表示するよう設定されています。

4. **VCCINT**の隣にあるボックスを有効化し、**[OK]** を押します。



ソース電源ネットを特定する

5. **<Source Power Net>**アイコンの背景が、青色に変わってデータが入力されたことを示しており、シミュレーションボタンの隣のメッセージが変わっていることに注意してください。また、電圧ソースの記号と**<Loads Power Net>**の記号が、グレーアウト表示（下の図を参照）から変わり、編集可能であることを示しています。

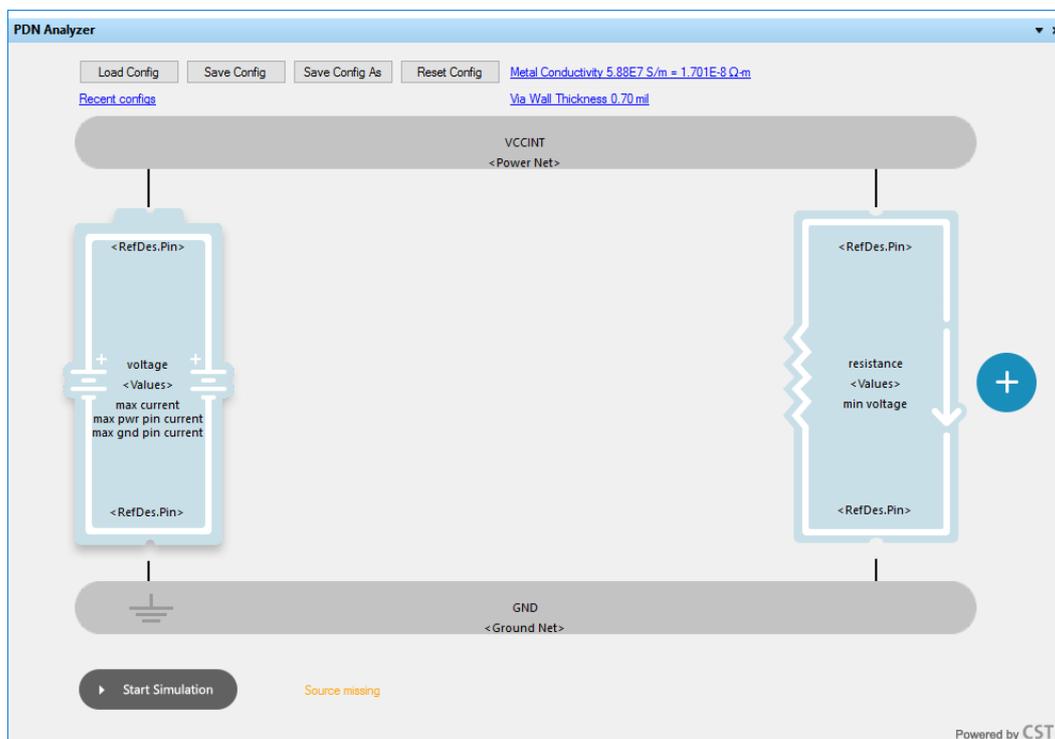


ソースネットと電圧ソースが構成された



6. PDN Analyzerキャンパスの右上隅にある<Loads Power Net>記号を選択します（上の図）。この場合、負荷電源ネットは、ソース電源ネット（VCCINT）と同じなので、すぐに [OK] を押してデフォルト設定を使用できます。

a. **Source Power Net**記号と**Loads Power Net**記号が一体化して（下の図を参照）、同じネット（**VCCINT**）であることを示していることに注意してください。また、キャンパスの右側にある負荷の編集が可能になり、電圧ソースを定義するようメッセージが表示されていることにも注意してください。



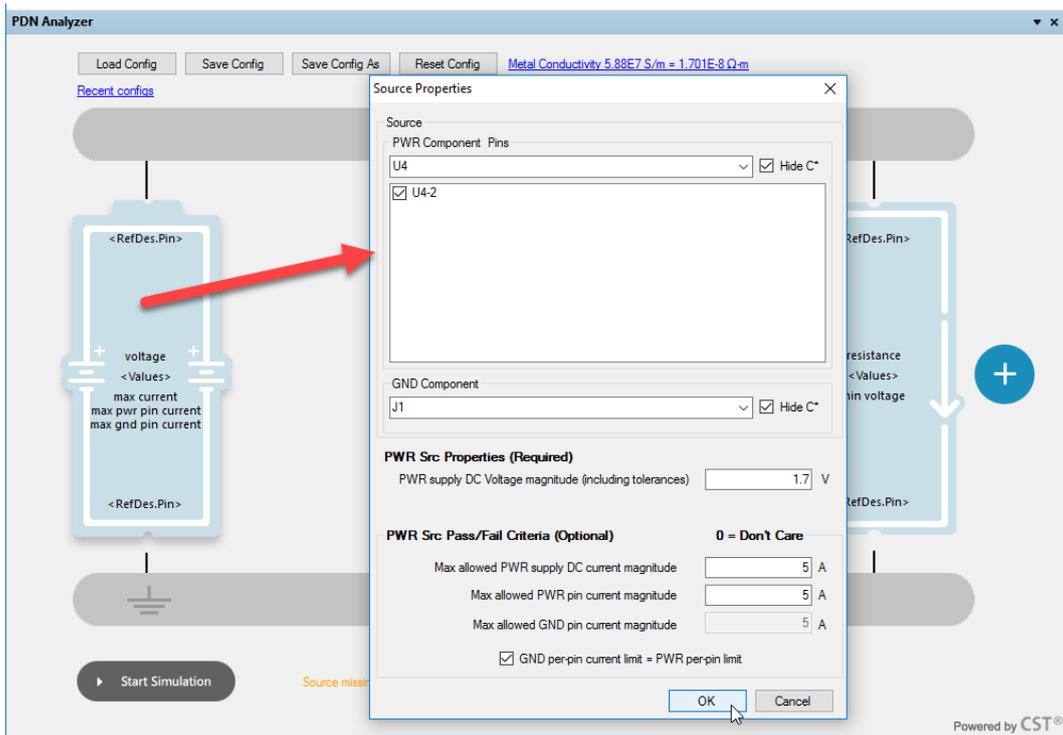
電源ネットの設定完了

7. ソースの<RefDes.Pin>アイコンを選択して、下の図に示すように、ソース接続とパラメーターを選択します。

8. **U4**と**U4-2**を電源およびピンとして選択します。それらが、このネットワークに電源を供給するからです。**Hide C\***オプションを使用して、**U4**を見つける際にコンデンサーを非表示にします。**U4**は**直列バス（リニア）レギュレータ**なので、GNDノードではなく、このネットワークに電源を供給します。

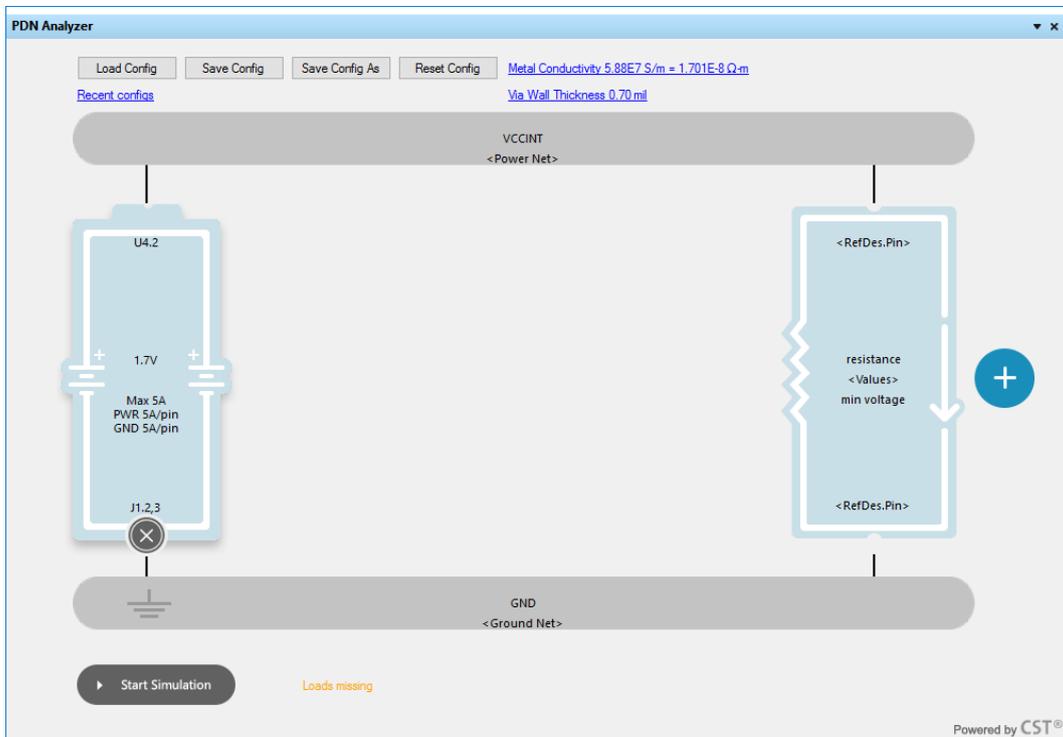
9. **J1**を**Ground Component**として選択します。両方の**J1**ピン（ピン2と3）が**GND**ネットに接続されており、これらを使用します。

- a. 入力1.8Vの5%、つまり0.1V分下げることになりました。つまり、シミュレーション電圧に1.7Vを選びました。
- b. また、パーツおよびその各ピンが提供できる最大電流として5Aを選択しました。
- c. デフォルトでは、GNDピン最大電流は、PWRピン電流と一致するよう設定されています。この例では、これで大丈夫です。



電圧ソースの設定

10. [OK] を選択して、電圧ソース設定をコミットします。下部のメッセージがLoads missingに変わり（下の図）、まだシミュレーションの準備ができていないことを示しています。



電圧ソースが構成された

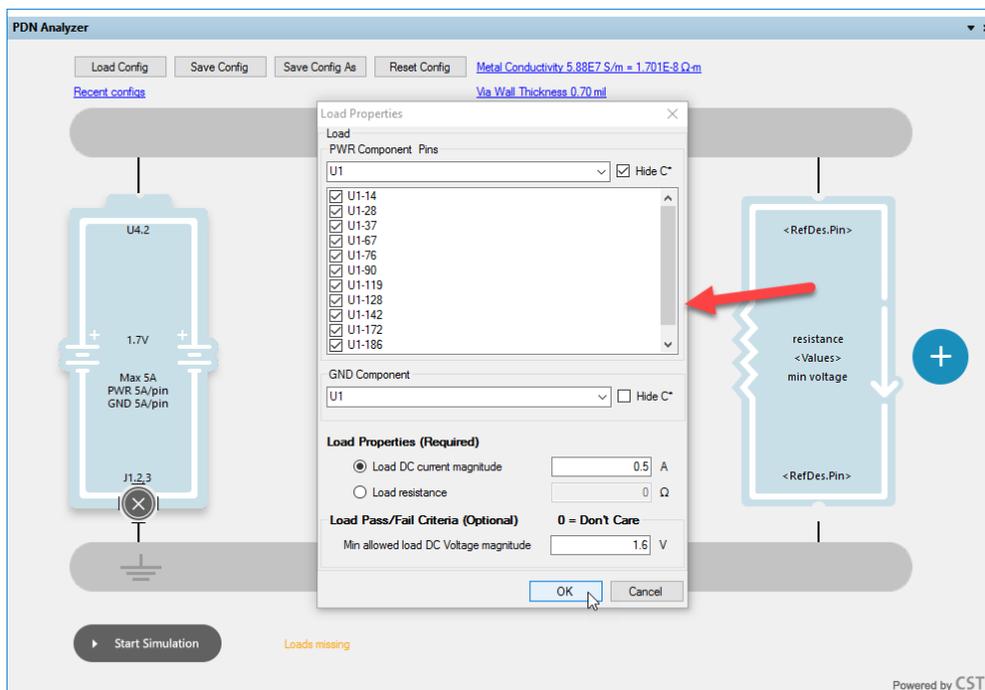
11. <Loads Power Net>を選択します。この場合、ソース電源ネット（VCCINT）は同じなので、<Loads Power Net>アイコンを選択した後、すぐに [OK] を押すことができます。VCCINTは、ソースと負荷の電源ネットとして青色で表示され、シミュレーションボタンの隣のメッセージが変わります。



12. 負荷の<RefDes.Pin>アイコンを選択して負荷にU1を選び、以下のパラメーターを入力します。

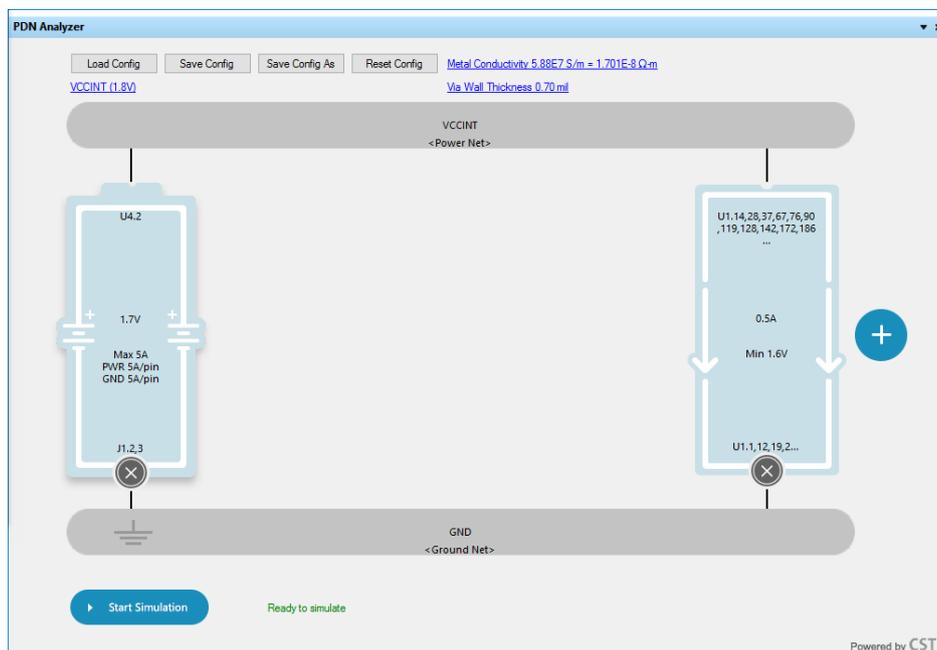
- 最小許容値に1.6Vを割り当てます（この例では、10%のDC降下を許容します。1.8V - 10% = 1.6V）。
- 負荷DC電流の大きさに0.5Aを割り当てます。

13. [OK] を選択して、負荷の定義を完了します。キャンパスの下部のメッセージが、シミュレーションの準備ができたことを示しています。



負荷を構成する

**注:** この場合、**U1**の全てのピンが同じパラメーターであると想定しています。つまり、**0.5A**の負荷電流が、**U1**の電源/GNDピン間で均等に分配されます。一部のピンでパラメーターが異なる場合、ピンの一部だけが選択され、パラメーターが割り当てられます。他のピンを持つ別の**U1**は、自身のパラメーターを使って追加されます。



シミュレーションの準備完了



14. 全てのボックスが青色になり、データが入力されたことを示しています。また、ボタンの隣のメッセージは、準備ができたことを示しています。

PDN Analyzerでは、バッチモードで実行するため、複数のシミュレーション（構成）を設定できます。PDN Analyzerのシミュレーションは、しばしば短時間で実行されますが、電圧レールが多い非常に複雑な基板では、各レールに対してシミュレーションが長くかかる場合があります。バッチシミュレーションでは、ユーザーがコンピューターから離れている間に、これらのシミュレーションを実行し、戻ってから、結果をまとめて確認することができます。

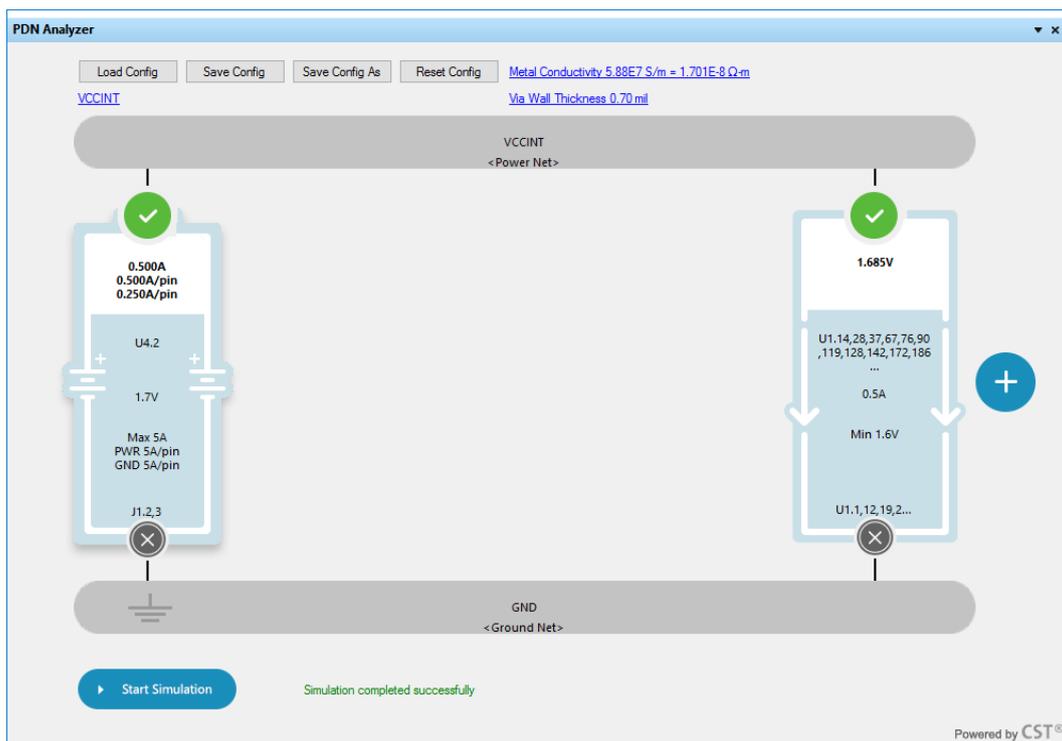
次の手順に従ってこの構成を保存した後、残りの2つの例（Nets VCC0とPWR\_IN）を構成し、バッチシミュレーションのために保存することができます。現在の構成を保存し、PDN Analyzerのキャンバス上部にある [Reset Config] ボタンを選択した後、新しい構成を作成します。

15. [Save Config As] ボタンをクリックして、この構成を保存します。構成には**VCCINT (1.8V)** という名前を付け、[Save] を選択して操作を完了します。

**注:** 構成名が、[Load Config] ボタンの下に表示されるようになりました。名前をクリックすると、この構成や他の保存済みの構成を素早く選択できます。

16. 左下隅にある [Start Simulate] ボタンを押して、続行します。

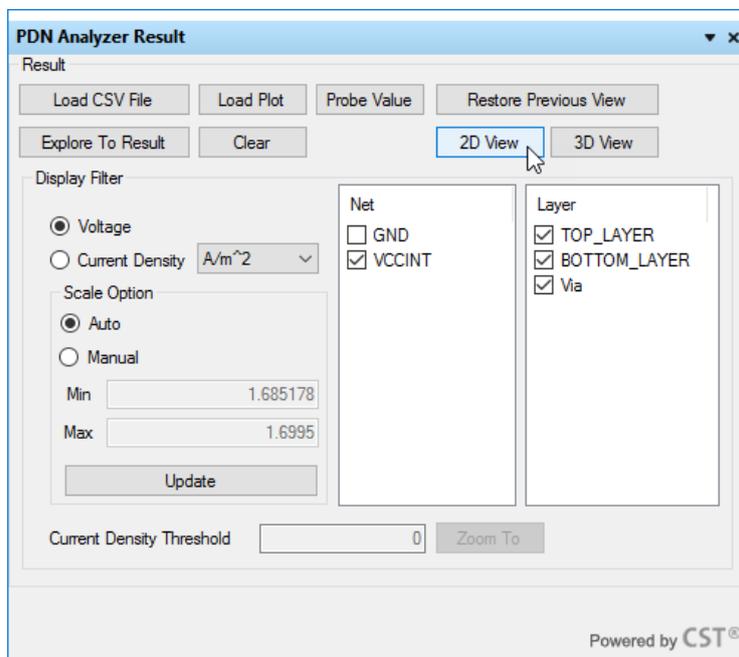
17. 下の図に従ってPDN Analyzerのキャンバスでシミュレーション結果を確認します。ご利用の表示オプションによっては、メッセージウィンドウまたは結果ウィンドウに移動する場合があります。ソースの最大電流にも負荷の最小許容電圧にも違反していないので、ソースと負荷の上に緑色のチェックマークが表示されていることに注意してください。違反があれば赤いXで示されます。



PDN解析結果を確認したがエラーはない

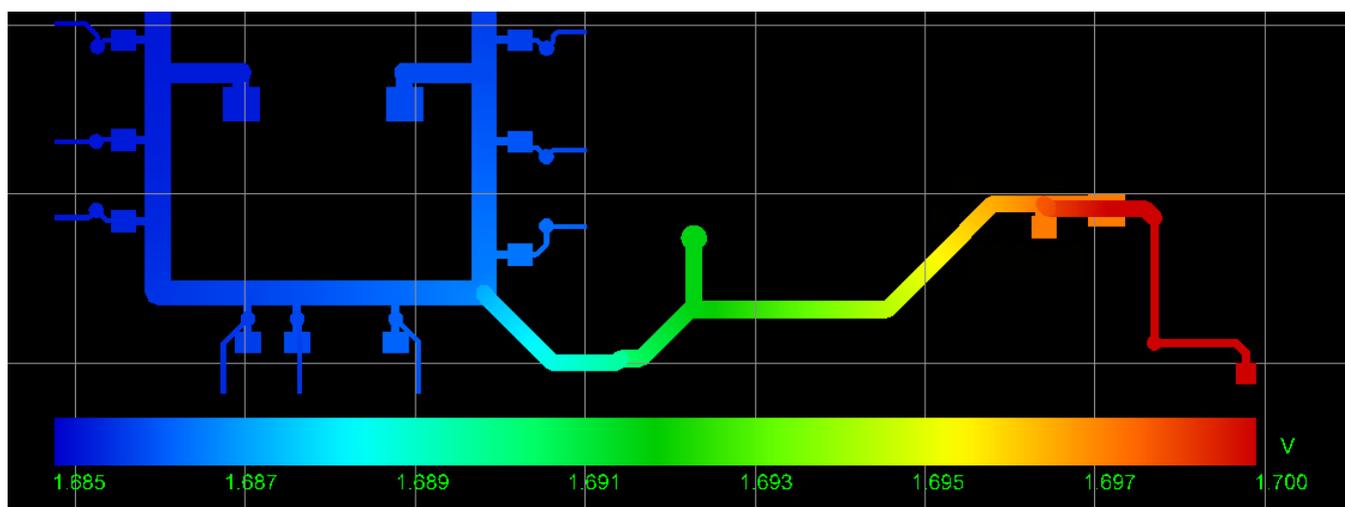


18. 電圧ネットの結果をグラフィカルに表示します。**[PDN Analyzer Result]** ウィンドウを選択し、**[VCCINT]**を**[Net]**で選択して、**Top**、**Bottom**、**Via**レイヤーを選択します。**2Dと3D view**を切り替えるには、**[2D View]** または **[3D View]** を選択します。**(Voltage表示、Autoスケーリング、VCCINTがNet、Top、Bottom、Viaレイヤーが有効です)**。



PDN解析結果ビューを2D表示に構成する

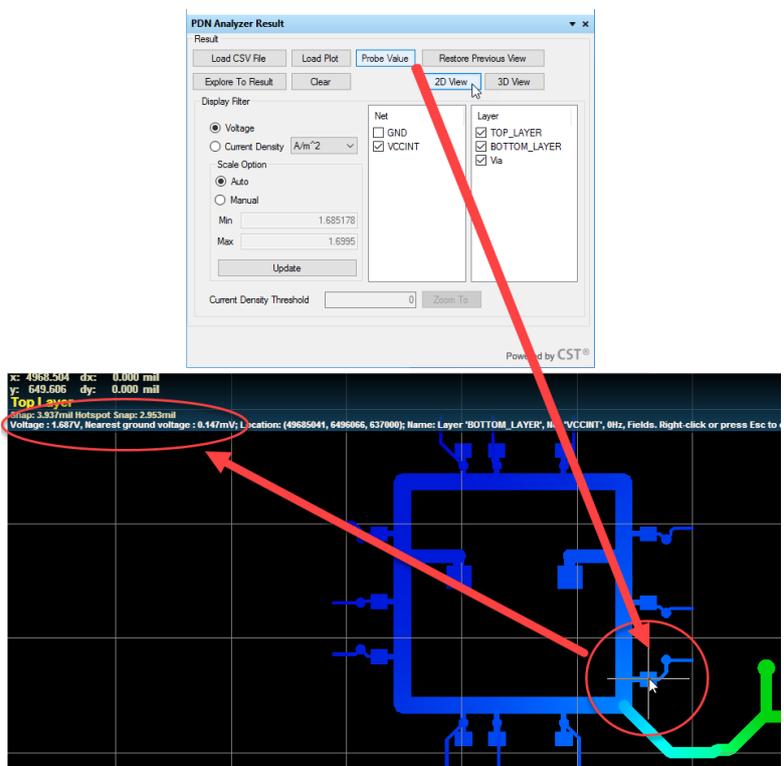
19. **[2D View]** ボタンを選択し、Altium Designerの**[...PcbDoc]**シートを選択すれば前面に移動します。結果が、下のように**2d View**で表示されるはずですが:



電圧降下プロット (2Dビュー)

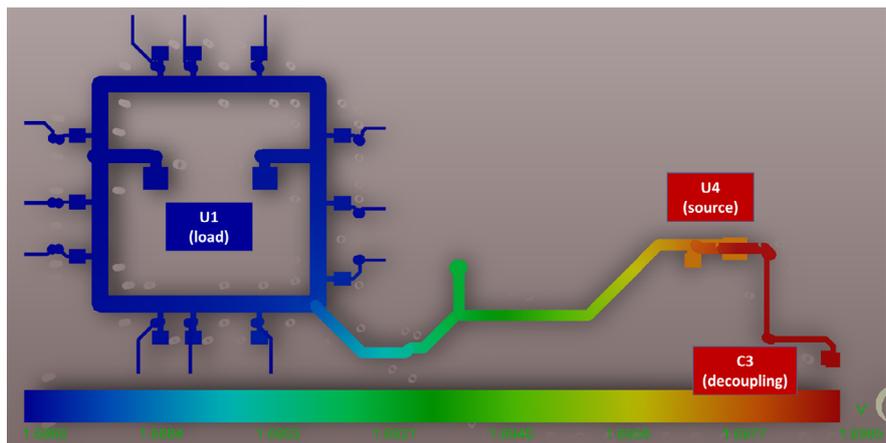


20. [PDN Analyzer Result] ウィンドウで、[Probe Value] ボタンを選択し、VCCINT配線の選択部分をクリックします。その場所の電圧および最も近いGND場所での電圧が表示されます。



21. 下の図13に従って、3Dビューのため [3D View] ボタンを選択します。

3D Viewに切り替えると、結果は下の図のように表示されるはずですが:



電圧降下プロット (3Dビュー)

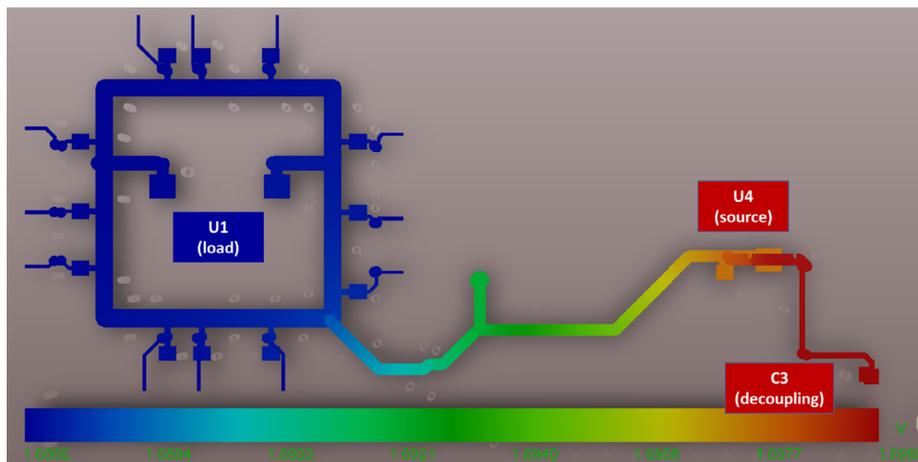
現在のグラデーション表示に関する以下の詳細に注意してください:

- 表示されている最高電圧は**1.7V**であり、**Source (U4)** での電圧です。
- **U4**と**C3**の間に大きなDC電圧低下はありません。コンデンサーが負荷として定義されなかったためです（通常、DC条件の下ではコンデンサーは開回路と見なされ、モデル化されないため）。
- 表示されている最低電圧は**1.69V**です。**Load (U1)** での電圧です。



- この画像は、この電源シェイプでの大きな電圧降下を示しているように見えるかもしれませんが（これは**Auto Scale**オプション設定によって、電圧範囲結果に合わせて色のスペクトルを自動的に割り当てるためです）。しかし実際は、電圧降下はごくわずかです（**15mV**未満）。**0.5A**の負荷が想定されているからです。
- **Voltages**を**3D**で表示すると、3つのビア（ビアの上部と下部の色の違い） および**U4**と**U1**の間のトラックで電圧降下が発生しているのが確認できます。

**Voltages**を**3D**で表示すると、3つのビア（ビアの上部と下部の色の変化） および**U4**と**U1**の間のトラックで電圧降下が発生しているのが確認できます。

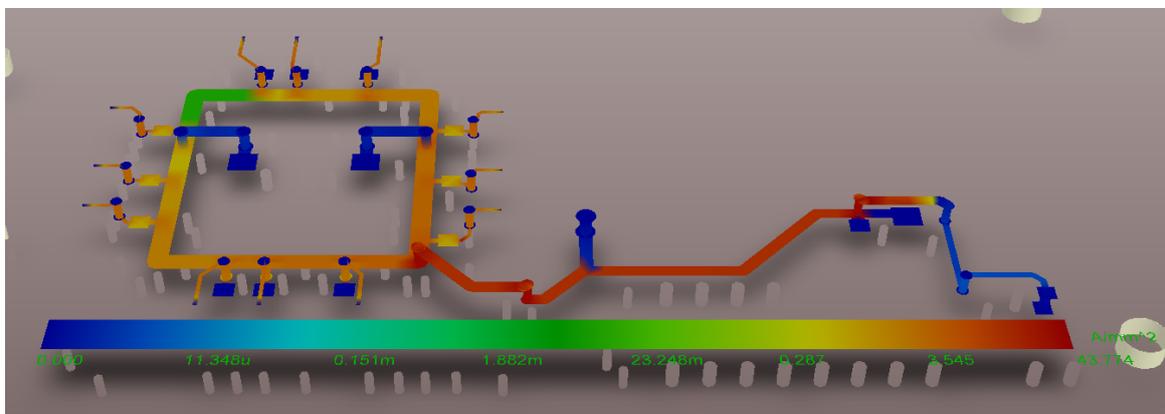


ビア電圧を示す3Dビュー

20. 電圧ネットの電流密度結果をグラフィカルに表示します。[PDN Analyzer Result] ウィンドウで [Current Density] ラジオボタンを選択し、単位をA/mm<sup>2</sup>に変更します。

21. [VCCINT]を[Net]に選択し、Top、Bottom、Vialayerを選択します。

(下の図で) **U4**と**U1**の間のトラックで電流密度が最も高く、このネットでは電圧降下が大きすぎた場合には、ここを広げるべき最初の部分であることに注意してください。また、[PDN Analyzer Result] ウィンドウで、電流密度が **0 A/mm<sup>2</sup> ~ 43.77 A/mm<sup>2</sup>**の範囲にあることにも注意してください。

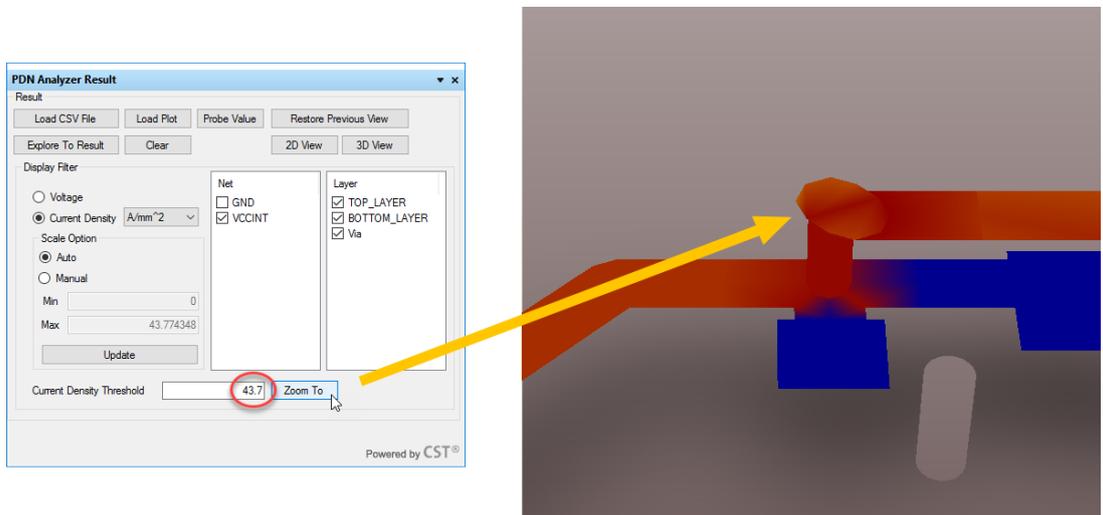


VCCINTネットの電流密度結果を3Dで表示する

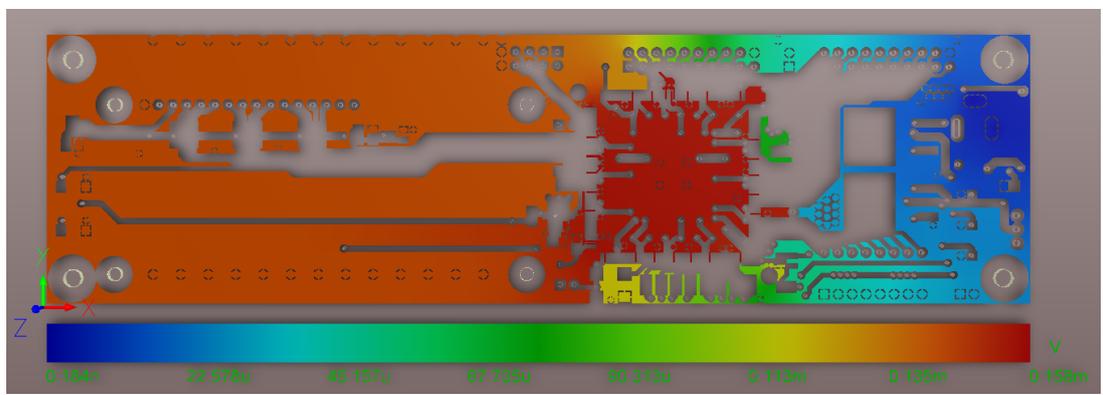


温度が最も高い銅箔領域を見つけるには、以下の手順を行います。

- a. 下に示すように、**Max**として報告された値**43.77**よりわずかに小さい値を **[Current Density Threshold]** フィールドに入力します。この場合は**43.7**を使用します。次に、**[Zoom To]** ボタンをクリックすると、その温度に達した最初のメッシュ要素が拡大され中央に表示されます。これはしきい値を超えています。繰り返し **[Zoom To]** をクリックすると、しきい値を超える全てのメッシュ要素が繰り返し表示されます。

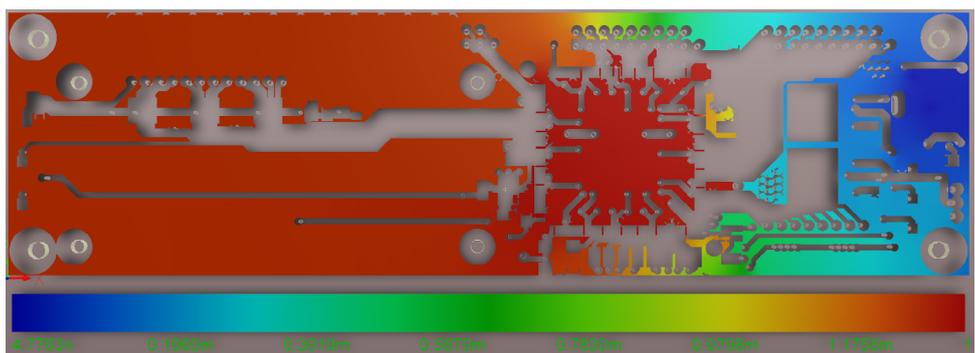


- 22. **[Voltage]** ラジオボタンを選択して、**[GND]**を**[Net]**で選択し、また**[TOP\_LAYER]**を有効化します。大きな**GND**shapeに、ごくわずかな電圧上昇があることに注意してください - 最大電圧は、わずか**158uV**です。



GNDプレーンの電圧

- 23. **GND** ネットの電圧結果をグラフィカルに表示します。**[GND]**を**[Net]**で選択し、**Top**レイヤーを選択します。大きな**GND** shapeには電圧がほとんど存在しないことに注意してください。最大電圧は、わずか**1.17mV**です。



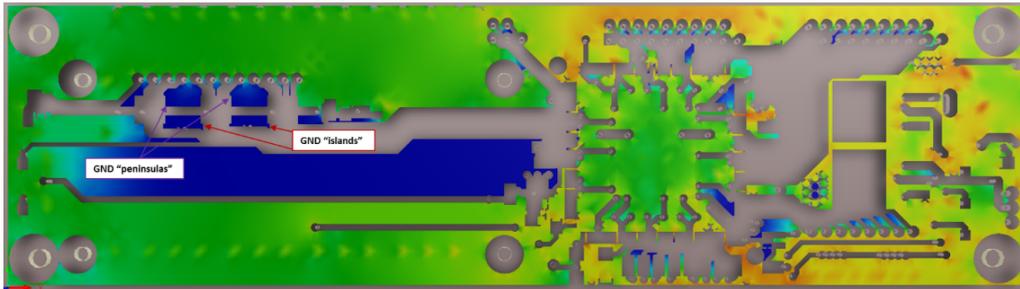
GNDネットの電流密度結果を3Dで表示する



## 結果を解析する

**Current Density**に切り替えて**GND**ネットを表示する場合、この設計に問題があるかもしれないことが分ります。**GND**shapeに半島と島が両方存在するのです。青色になっている（電流が流れていない）ことが、それを示しています。もちろん、これが示しているのは、**VCCINT**のDC電流の流れにすぎません。他のDC電圧を全てチェックしてからでないと、**GND**shapeの一部が使用されていないことは分かりません。

また、**GND** shapeを取り除く前に、それらがAC電流リターンに使用されていないことを確認することも重要です。おそらく、シミュレーションでコンデンサーを**1キロオーム**の抵抗と交換して、戻りパスへの影響を表示すれば確認できます。重要な箇所の小さな接続（**U1**の左下）でさえ、大きな**GND**半島を、問題がより少ない**GND** shapeに変えることは明らかです。



GND shapeで半島や島の問題を識別する

これらの半島や島は、AC電圧や過渡電圧の特性のため、問題をもたらす場合があります、避けるべきです。また、電源供給shapeは、その主な側面に接続ポイントを持つべきです。

更には、このビューでは、左から右へ流れる電流が、デザインの**U1**の上や下の細長く狭い領域に制限されていることにも気付きます。この設計で流れる総電流が重要な場合、これは問題になりそうです。また、**GND**プレーンの電圧は、設計で1.17mVよりはるかに高くなるでしょう。電流密度表示を使用して**GND** shapeを表示すると、設計のレイアウトに関する貴重な洞察を得ることができます。

## 例2の設定: VCCO (3.3V)

この例では、PDN Analyzerの以下の機能に関するデモを行います。

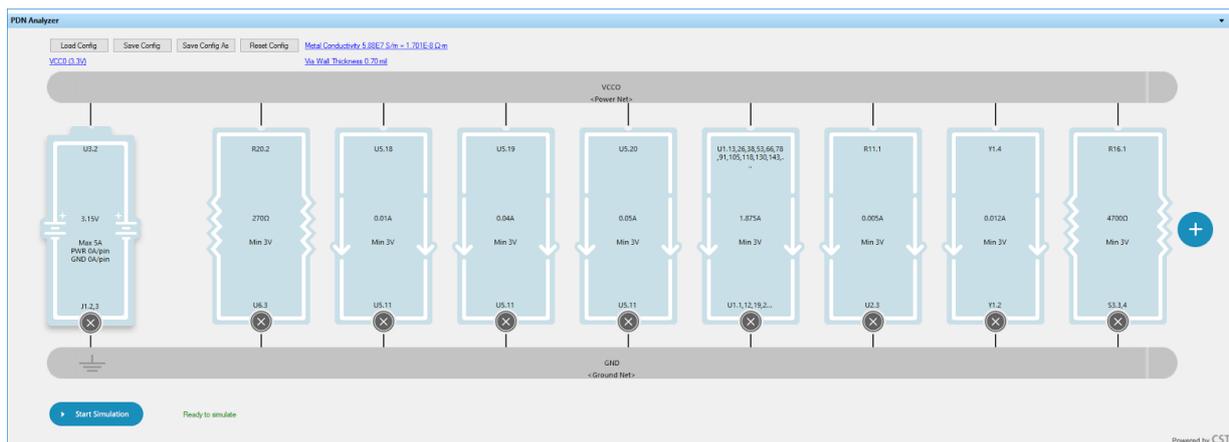
- シミュレーションに複数の負荷を簡単に追加できる。
- パラメーターを正確に入力するための、シミュレーション トポロジーのグラフ表示の値。
- 負荷デバイス（この場合はU5）の特定のピンに、異なる電流値を割り当てることができる。

この例の設定を完了するには、以下の手順を行います。

1. **SpiritLevel VCCO (3.3V)** 電源と**GND**ネットに同様の実習を行います。[PDN Analyzer] ウィンドウで、現在の構成を保存し、[Reset] を押して、その構成をクリアします。
2. 以下の設定を入力します。+記号を使って、必要に応じて負荷を追加します。



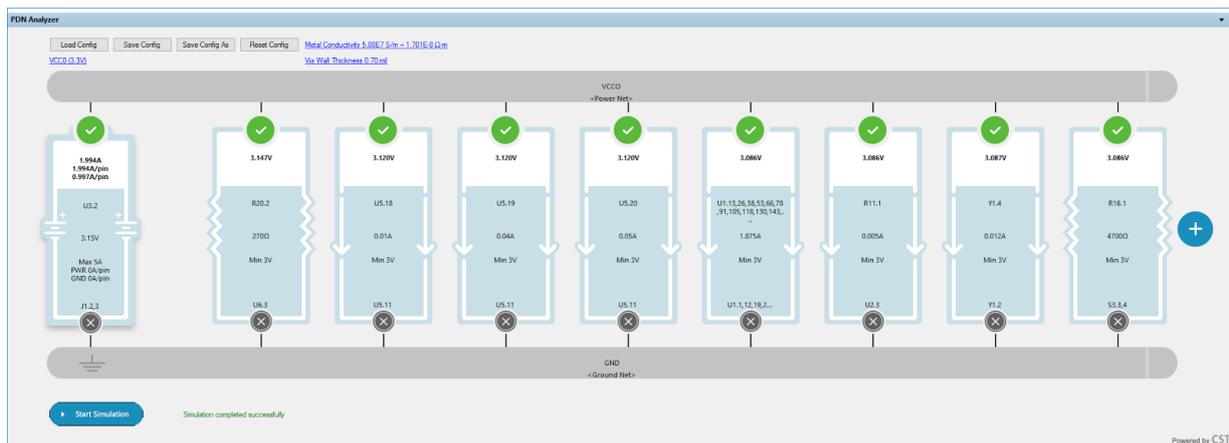
<p><b>電源設定</b></p>	<p><b>PWRネット (ソースおよび負荷) : VCCO</b></p> <p><b>Groundネット: GND</b></p> <p>ソース: U3.2 (power) 、J1.2,3 (ground)</p> <ul style="list-style-type: none"> <li>• 3.15V (3.3V – 5%)、5%の負荷軽減を想定</li> <li>• 電源と全ての電源ピンで最大5A</li> </ul>
<p><b>負荷設定</b></p>	<p><b>R20.2 (power), U6.3 (ground): Done LED</b></p> <ul style="list-style-type: none"> <li>• 270Ω</li> <li>• 3V最小電圧 (3.3V – 10%)</li> </ul> <p><b>U5.18 (power), U5.11 (ground): JTAG VCCINT</b></p> <ul style="list-style-type: none"> <li>• 0.01A</li> <li>• 3V最小電圧 (3.3V – 10%)</li> </ul> <p><b>U5.19 (power), U5.11 (ground): JTAG VCCO</b></p> <ul style="list-style-type: none"> <li>• 0.04A</li> <li>• 3V最小電圧 (3.3V – 10%)</li> </ul> <p><b>U5.20 (power), U5.11 (ground): JTAG VCC</b></p> <ul style="list-style-type: none"> <li>• 0.05A</li> <li>• 3V最小電圧 (3.3V – 10%)</li> </ul> <p><b>U1.* (power、利用可能な全てのピンを使用)、U1.* (ground、利用可能な全てのピンを使用): FPGA 3.3V</b></p> <ul style="list-style-type: none"> <li>• 1.875A</li> <li>• 3V最小電圧 (3.3V – 10%)</li> </ul> <p><b>R11.1 (power), U2.3 (ground): U2電流</b></p> <ul style="list-style-type: none"> <li>• 0.005A</li> <li>• 3V最小電圧 (3.3V – 10%)</li> </ul> <p><b>R16.1 (power), S3.3,4 (ground): Y1電流</b></p> <ul style="list-style-type: none"> <li>• 0.012A</li> <li>• 3V最小電圧 (3.3V – 10%)</li> </ul>



VCCO (3.3V) 構成

## 結果を解析する

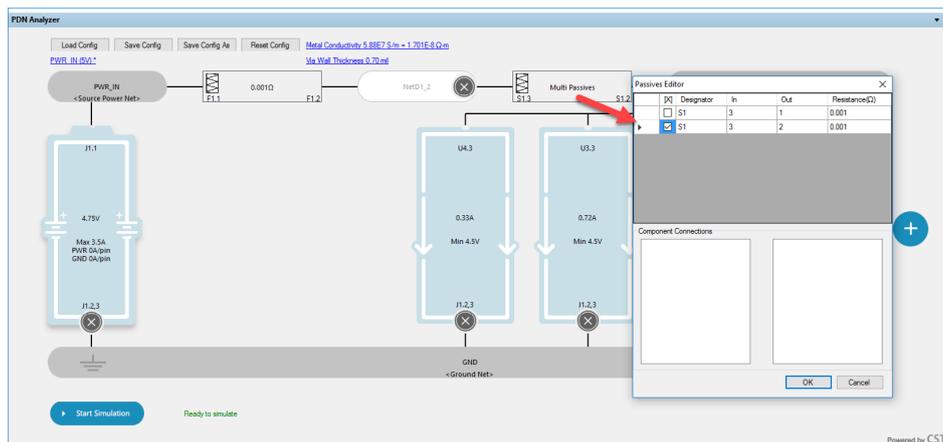
GNDプレーンの電圧を表示すると、そのプレーンに**1.17mV**よりずっと大きい**5.3mV**があることが分ります。これは**VCCINT**のため、**VCCO**ネットのより大きな電流のためです。また、抵抗は、電圧値や、パラメーターと比較した電圧値の合否を報告しないことに注意してください。



VCCO (3.3V) の結果

## 例3の設定: PWR\_IN (5V)

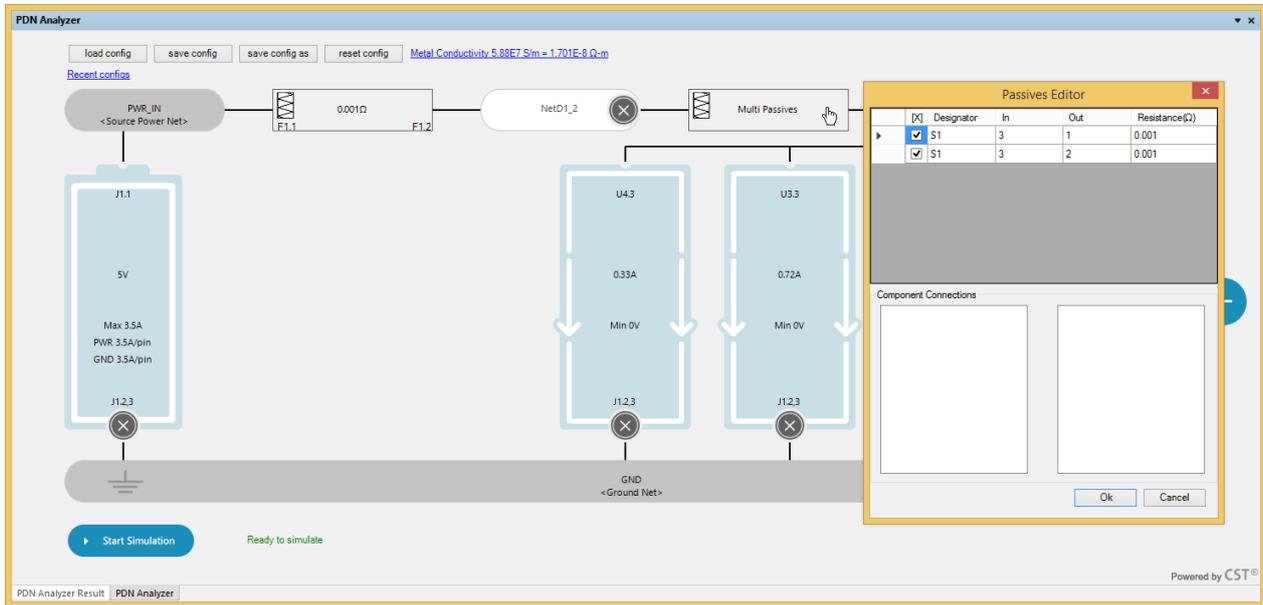
1. SpiritLevel 5V (ネット名PWR\_IN、J1コネクタから) は、簡単に解析できます。それには、**PWR\_IN**をソース電源ネットとして選択し、**5V**を負荷の電源ネットとして選択します。PDN Analyzerは、2つのネット間のDC経路を自動的に構築します。これには、中間ネット **NetD1\_2**も含まれます。



PWR\_IN (5V) 向けのNetD1\_2から5Vへの適切な経路設定

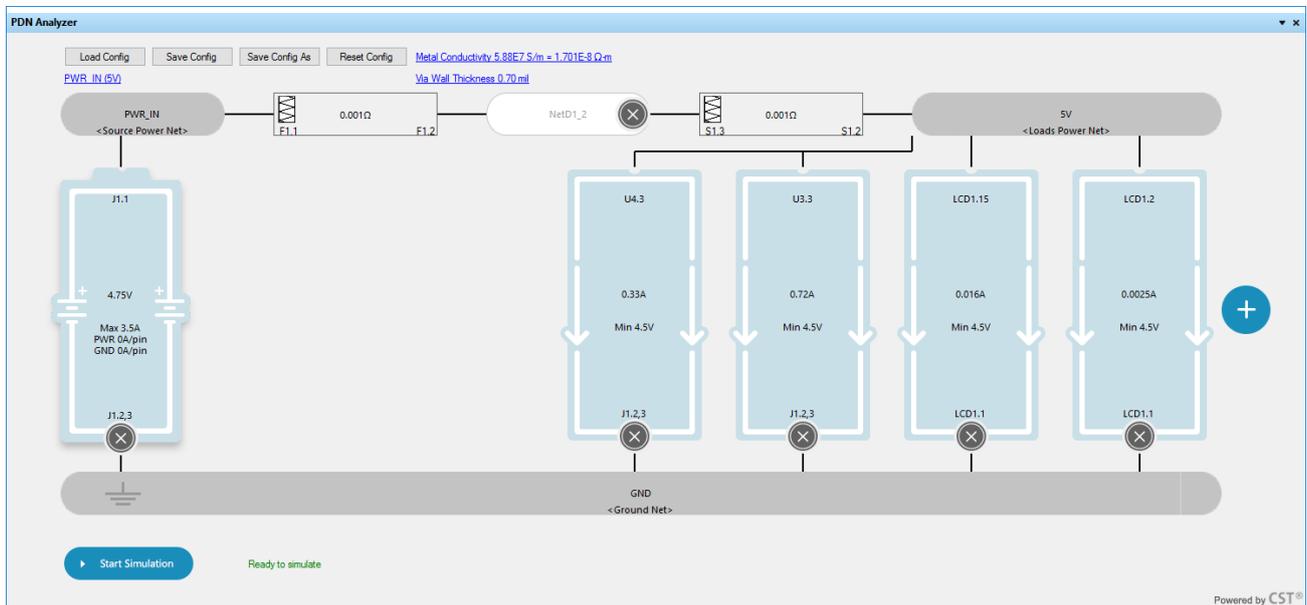


2. マルチパスブ（S1.3-S1-2、S1.3-S1.1）がNetD1\_2と5Vの間にあります。S1-3 ~ S1-2だけに変更する必要があります。精密かつ正確であるため、また、下の図に示された構成に到達するためです。

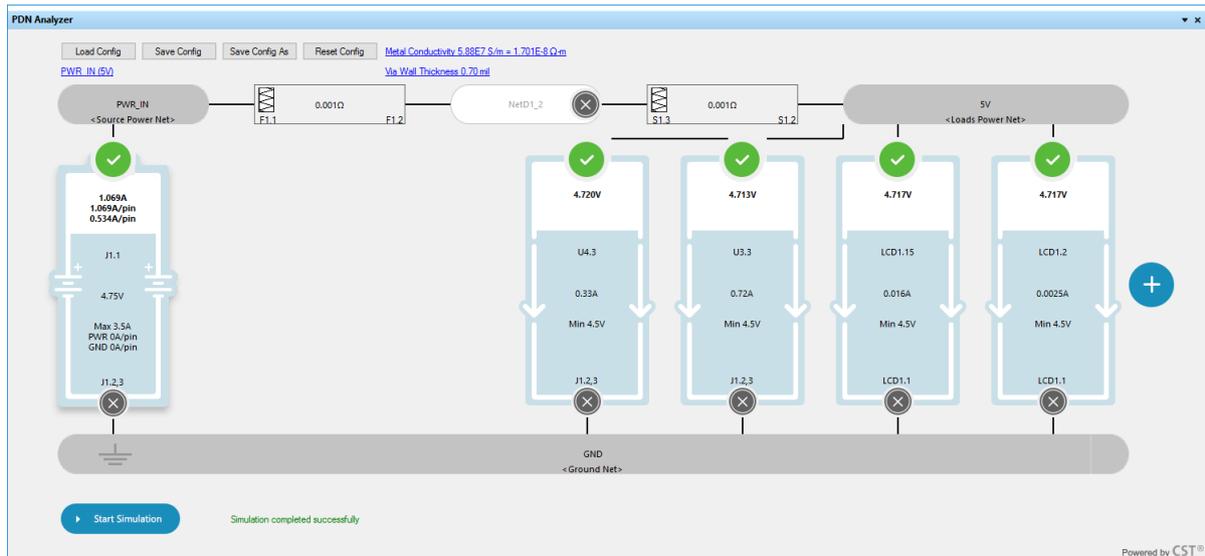


S1-3間のマルチパスブデジグネータを変更する

## 結果を解析する



最終的なPWR\_IN (5V) の構成



PWR\_IN (5V) の結果

**PWR\_IN = 5V:** パッシブコンポーネント（抵抗としてのみモデル化できるもの）を介し、ソースと負荷で異なるネットを使用できることを示します。アクティブコンポーネントを介した経路には、別にモデル化されたアクティブコンポーネントの入出力経路が必要です。ソースネットと負荷ネットからの経路は、自動的に導き出されます。

5V電流供給によるGNDプレーンの電圧は、最大でわずか11μVであるのに対して、VCCINTでは1.17mV、VCCOでは5.3mVになります。これは、ソースと主な負荷、U3とU4の間のGNDシェイプが大きいためです。

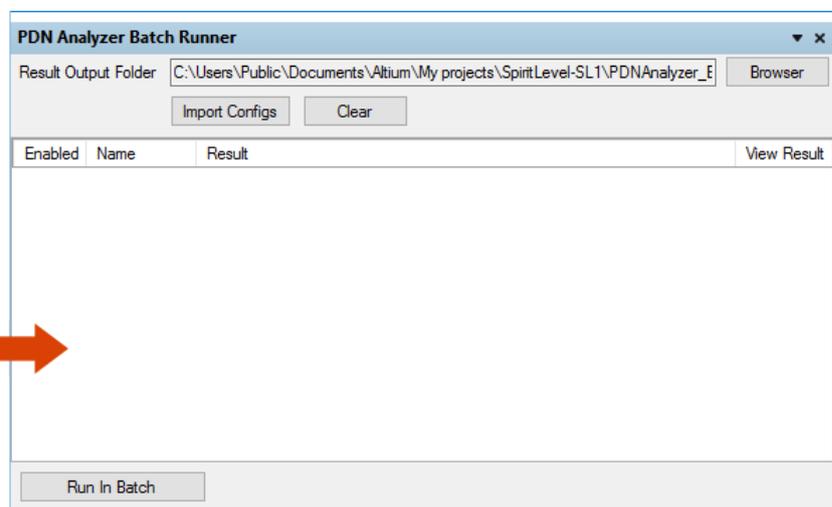
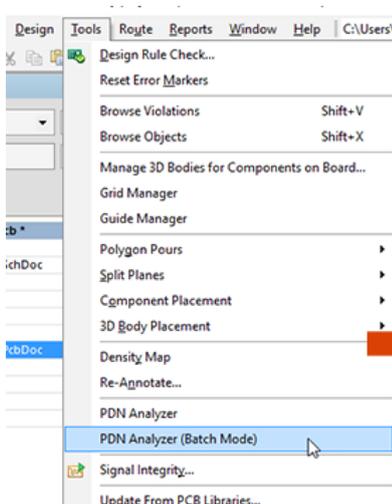
### バッチシミュレーションの例:

バッチモードでは、複数の保存済み構成を待ち行列に入れ、一括して実行できます。実行ファイルやこれらの実行結果は、他の結果とは別に、PDNAnalyzer\_BatchResultsフォルダーおよび各構成ファイルの名前が付いたサブフォルダーに保存されます。

### バッチモードの起動と設定

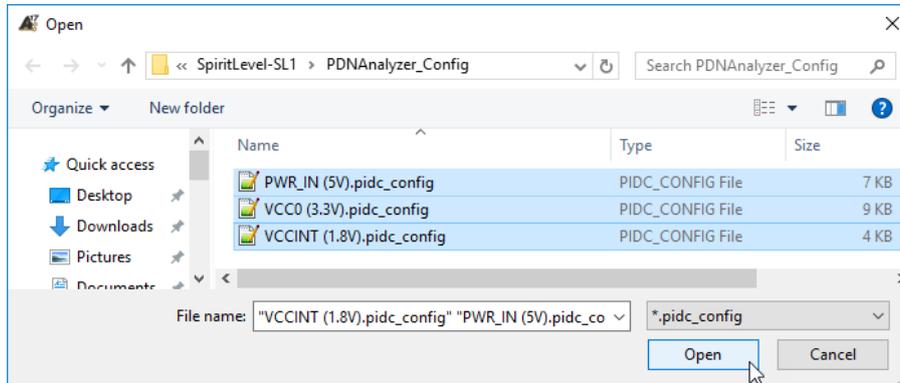
1. **PcbDoc**をDesignerの前に置き、[Tools] >> [PDN Analyzer] (Batch Mode)を選択します。

[PDN Analyzer Batch Runner] インターフェイスが開きます。[PDN Analyzer] ウィンドウと [Results] ウィンドウが開いている場合には、これらも開きます。開いている構成は、この時点では関係ありません。構成は、独立したスペースで開かれます。ただし、進行中の作業は保存しておく必要があります。



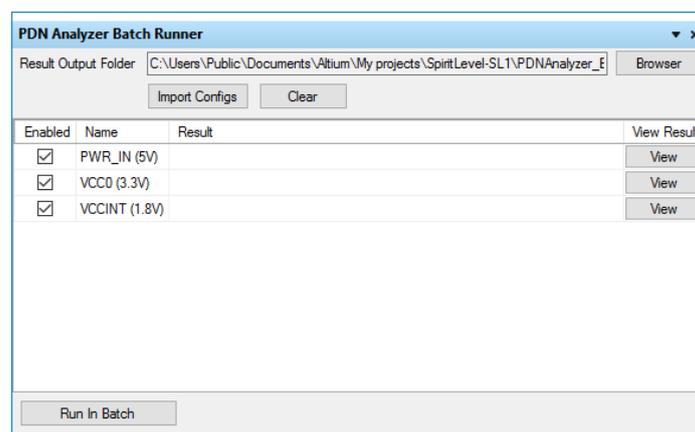


2. **[Import Configs]** ボタン（左上）を選択して、ファイルブラウザーを開き、**PDNAnalyzer\_Config**フォルダーに移動します。ブラウザーウィンドウに、このセッションの構成ファイルが表示されるはずですが。



複数の構成ファイルを選択する

3. Windowsの<shift>選択または<CTRL>選択を使用して、バッチで実行する構成を選択し、**[Open]** を選択します。選択した構成が、**Batch Runner** に読み込まれます。

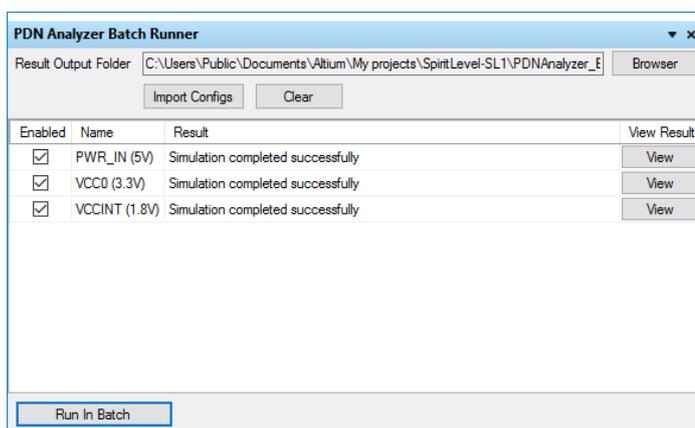


複数の構成が読み込まれた

### バッチシミュレーションと結果

4. 一連のシミュレーションを開始するには、**[Run In Batch]** を選択します。**Batch Runner**は、バッチ実行が完了するまで、最新の進行状況を通知します。完了すると、結果は上の図のようになるはずですが。

実行ファイルと各実行結果は、**PDNAnalyzer\_BatchResults**フォルダー、各構成ファイルの名前が付いたサブフォルダーに保管されます。



バッチシミュレーションが正常に完了

5. 特定のシミュレーションの結果を表示するには、その項目の隣の**[View]** ボタンをクリックします。構成が、**[PDN Analyzer]** キャンパスおよび **[Results]** ウィンドウで素早く開かれ、オプションに従って**PcbDoc View**が更新されます。



## まとめ

これらの例を経て、Altium Designer内でのPDN Analyzerシミュレーションの設定、保存、実行、解析の様子が把握できたと思います。設計プロセスは、多くの停止がある長い道りです。できるだけ避けたいのは、PDNの問題のために設計プロセスを再スタートすることです。設計プロセスにPDN解析を組み入れることで、構想から製造への移行が簡単になります。このガイドの最初に、2つの質問をしました。

1. 電圧ソースから負荷までの銅箔が十分であることを、今はどのようにして確認していますか？
2. プレーンは、適切な電圧を負荷に提供していますか？

PDN Analyzerを使えば、物理的な試作や長いシミュレーションプロセスを行わなくても、これらの質問の答えを得ることができます。CST®による堅牢なシミュレーション技術を使用したPDN Analyzer拡張機能は、高度な解析技術のパワーを、経験レベルに関係なく、全てのPCB設計者に提供します。CST®によるPDN Analyzer を利用することで、PCBレイアウトでのIRドロップや電流密度を簡単に識別できます。Altium Designer統合環境のこの新しい技術を使って、設計時のPDNの最適化が、これまでになく簡単になりました。

## 付録

### 金属伝導率の詳細

Metal Conductivityオプションを選択すると、設計で使用する金属の伝導率（1/抵抗率）の値を設定できます。接続設定を構成する際には、以下のポイントを覚えておいてください。

[Metal Conductivity 5.88E7 S/m = 1.701E-8 Ω-m](#)

- デフォルトでは純銅を想定しており、通常、伝導率は**5.88e7 S/m @25°C**、導電率温度係数は**0.4%/°C**と想定しています。例えば、Temp. Compensation温度が**25°C**から**125°C**まで上昇すると（ $\Delta 100^\circ\text{C}$ ）、シミュレーションの伝導率は**40%**下がり、**3.53e7 S/m**となります。

Metal Conductivity				
Contuctivity @ Room Temp :	25	°C	Resistivity	
<input checked="" type="radio"/> Pure Copper	5.88e7	S/m	1.7e-8	Ω-m
<input type="radio"/> PCB Copper	4.7e7	S/m	2.1e-8	Ω-m
<input type="radio"/> Custom		S/m		Ω-m
Temp. Compensation	125	°C		
	0.4	%/C		
Sim. Conductivity	3.528E7			
Sim. Resistivity	2.834E-8			

さまざまな銅タイプの伝導率設定を構成する

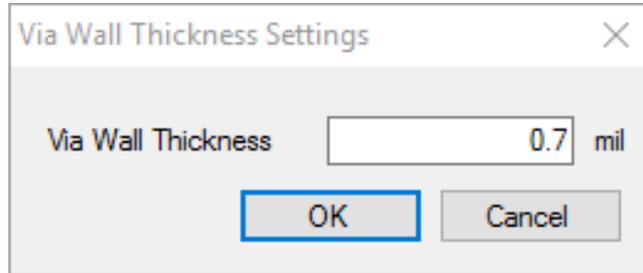
- **PCB Copper**では、業界の文献で報告された伝導率の値を反映しています。**PCB電気メッキ（ED）**銅箔に見られる金属をより表しているためです。その測定では、伝導率は**4.7e7 S/m (@25°C)**、温度係数は**0.4%/°C**となっています。
- **基本伝導率**（または**抵抗率**）、**温度係数**、および/または**温度**は、設計の金属特性を反映するよう変更できます。**Sim Conductivity**は、全てのパラメーターを考慮した後の最終的な伝導率の値を示しています。



## ビアの壁厚

[Via Wall Thickness] ボタンを選択すると、ビアの円筒部分の厚さを定義できます。

1. 円筒部の素材は、Metal Conductivityフォームで指定されたものと同じです。



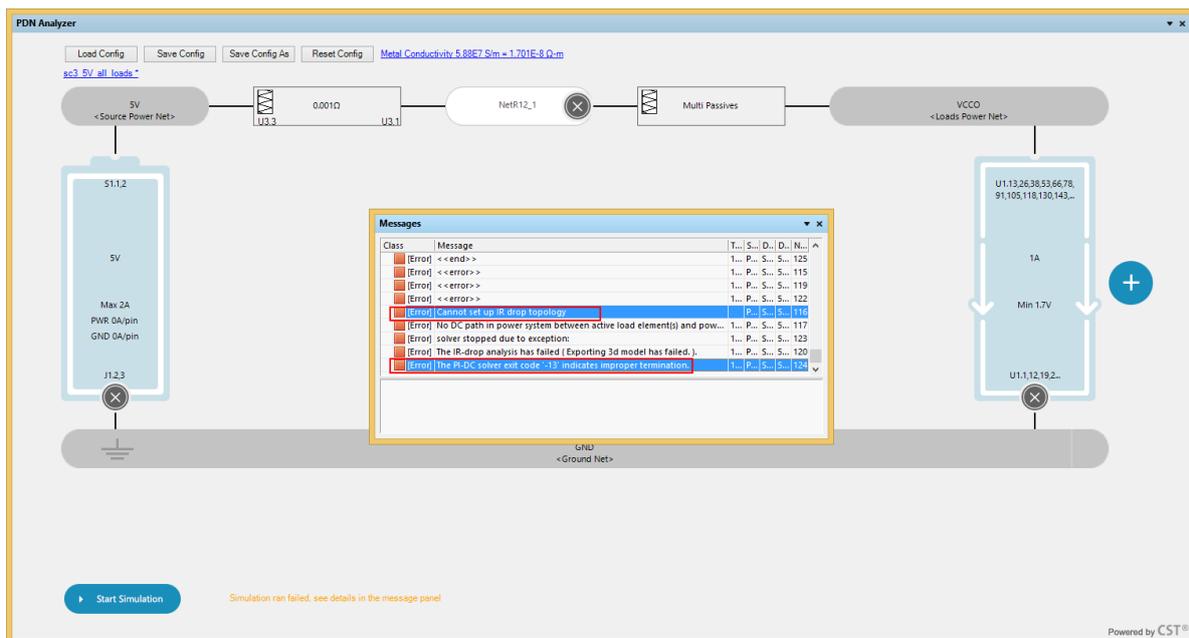
ビアの壁厚

## 一般的なエラーと警告状況

ソースと負荷を別々の電源ネットに接続すると、信号経路は、その2つのネットを橋渡しするコンポーネントを自動的にシミュレーションします。通常、一連のパッシブコンポーネントがありますが、経路にある予期しないアクティブコンポーネントが、曖昧なトポロジー、複数のネット、または無効な経路の原因になります。このような場合、トポロジーまたは経路を正しく決定できない状況に遭遇します。これによって、しばしばエラークラス**Cannot set up IR drop topology**が発生し、下に示すように、**exit code -13**などが続いて表示されます。

```
[Error] PDN Analyzer Cannot set up IR drop topology
[Error] PDN Analyzer The PI-DC solver exit code '-13' indicates improper termination
```

万一これが発生した場合、ソースから全ての負荷への適切な経路を確認できるように、ソースネット、到達先ネット、およびコンポーネントを慎重に再検討してください。この例を下図27に示します。ソースから負荷への経路が電圧レギュレータを通過しています。シミュレーションは途中で終了し、図のようなエラーが発生しています。アナライザーは、アクティブコンポーネントのトレース向けではないことを踏まえて、ソースとして電圧レギュレータ出力を指定するのが、適切なアプローチです。



ソースから負荷への経路が電圧レギュレータを通過し、エラーが発生

**注:** エラー状態が類似しているのに終了コード番号が異なる場合は、トラブルシューティングのため、Altiumサポートまでお問い合わせください。