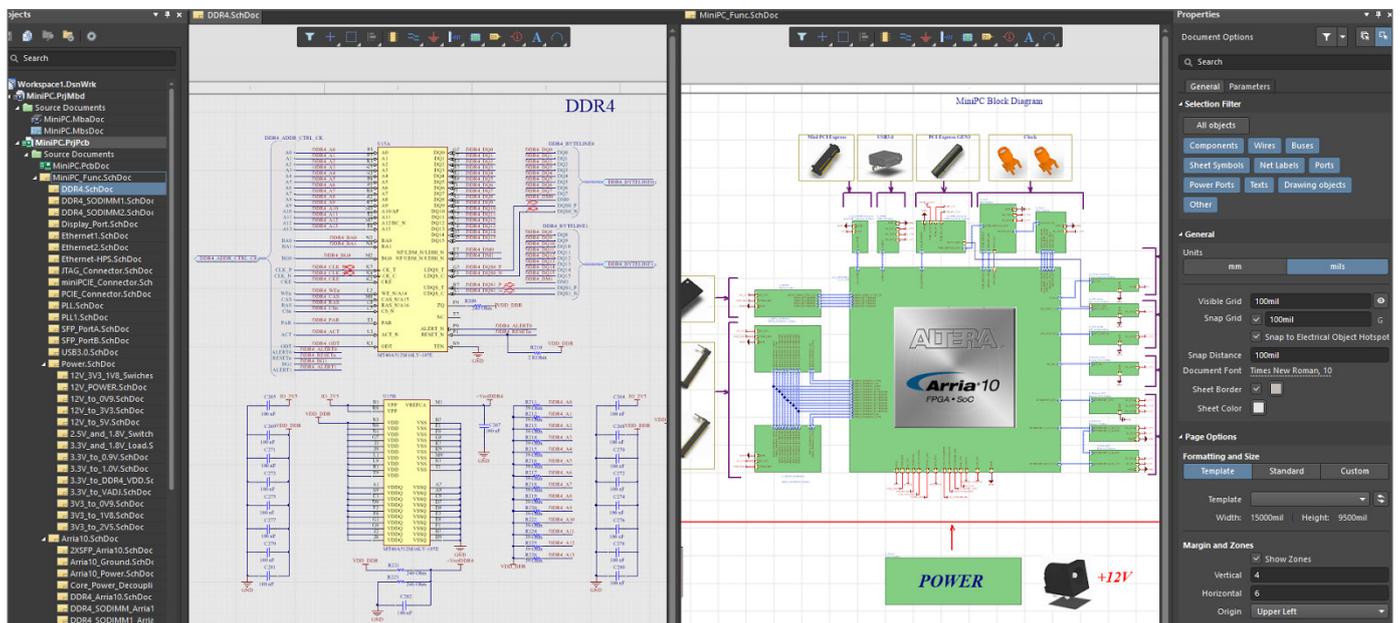


優れた操作性と より効果的な 最新機能

機能と利点

- 最新の強力な回路設計機能を備えた自然で直感的なUI
- 高速で、統合されたコンポーネントの検索、および配置
- 柔軟、かつシンプルな自動化されたアノテーション オプション
- 接続と電気的ルールチェックによる設計検証
- 技術者に適した簡単な回路設計スタイル
- 大規模で複雑なプロジェクトでも管理しやすい階層設計
- マルチチャンネル、およびデバイスシートによる、再利用に配慮した設計プラットフォーム
- 回路図のスタイルの適用を迅速化、および自動化するテンプレート



ストレスのない回路設計

すべてのPCB設計は、正確な回路図によって決まります。初めから作業を開始している場合も、既存の設計を使用している場合も、回路設計は最新のユーザーインターフェイスで迅速かつ直感的に行います。ユーザーが承認および制御する同期プロセスを使って回路図とPCBの双方向接続を維持することで、設計プロセス全体を通して統一されたインターフェイスを実現できるため、生産性が向上するほか、回路図とPCBレイアウトの相互参照も可能です。



デザインインポーター

P-CAD®、EAGLE®、OrCAD®、PADS®、Xpedition® xDX Designer、Xpedition® Enterprise、CADSTAR®、Allegro®からプロジェクトファイルを確実にインポートすることができるため、従来のデザインを活用して、回路図、PCBドキュメント、関連設計データを再作成する時間を節約できます。¹²³⁴

設計をゼロからやり直す必要がないため、簡単に移行でき、使い慣れたプロジェクトでAltium Designerについて学ぶことができます。また、プロジェクトのどの段階でもツールをAltium Designerに切り替えることができます。

統一した回路図とPCBレイアウト

クロスプローブでは、回路図でオブジェクトを選択すると、PCB上でも同じオブジェクトが選択されます。逆も同様です。クロスプローブでPCB上の各ネット、ピン、コンポーネントが自動的に相互参照されるため、回路図の実装について明確に把握できます。

関連する回路を迅速に配置でき、配置についての決定をよりの確に行えるため、最初の試みで正しいレイアウトを簡単に作成できます。回路図からPCBまで特定の設計要素を簡単に検出できるため、エラーの発見にかかる時間が短縮され、製品化までの時間も短縮されます。

デジアナ混在シミュレーション

Altium Designerを使用すると、複数のシミュレーション プロファイルを簡単に作成、および管理できます。別々のプロファイルを使って、設計者は異なるシミュレーション エンジン (SPICE3F5/XSPICE、SIMetrix、SIMPLIS) で異なるタイプの解析を実行できます。また、異なるパラメーターやオプション (異なる周波数範囲など) を使用して、同じシミュレーションタイプ (AC解析など) を複数実行することもできます。アクティブなプロファイルは、ネットリストを簡単に追加、削除、編集、実行、生成できます。プロファイル マネージャーは、プロファイルを体系化し、プローブ、またはアクティブなネットを使用して、表示する波形を選択します。

シミュレーション結果は全て、他の製造用出力とともに保存され、製造業者に引き継ぐことができます。製造業者に設計の意図を明確に伝えられるため、製品化までの時間が短縮され、エラーも最小限になります。

階層とマルチチャンネル デザイン

電子機器は一般に、システムの中にさらに複雑なシステムが含まれています。このため、設計を「分割統治」する目的で、ブロックやモジュールなどに分割することが望まれます。また、特定の回路ブロックを別の設計や、同じ設計の中でも複数のチャンネルで再利用することも多くの場合に要求されます。Altium Designerのような階層設計環境を使うことで、ブロック図のトップレベルで簡単に設計でき、設計プロジェクトを管理しやすい論理的単位 (電源、アナログフロントエンド、プロセッサ、IO、センサーなど) に分割できます。また、同じ回路で構成される複数のチャンネルが必要な場合 (音声と映像の混在機器など)、階層設計により、同じブロックのコピーを複数、作成できます。

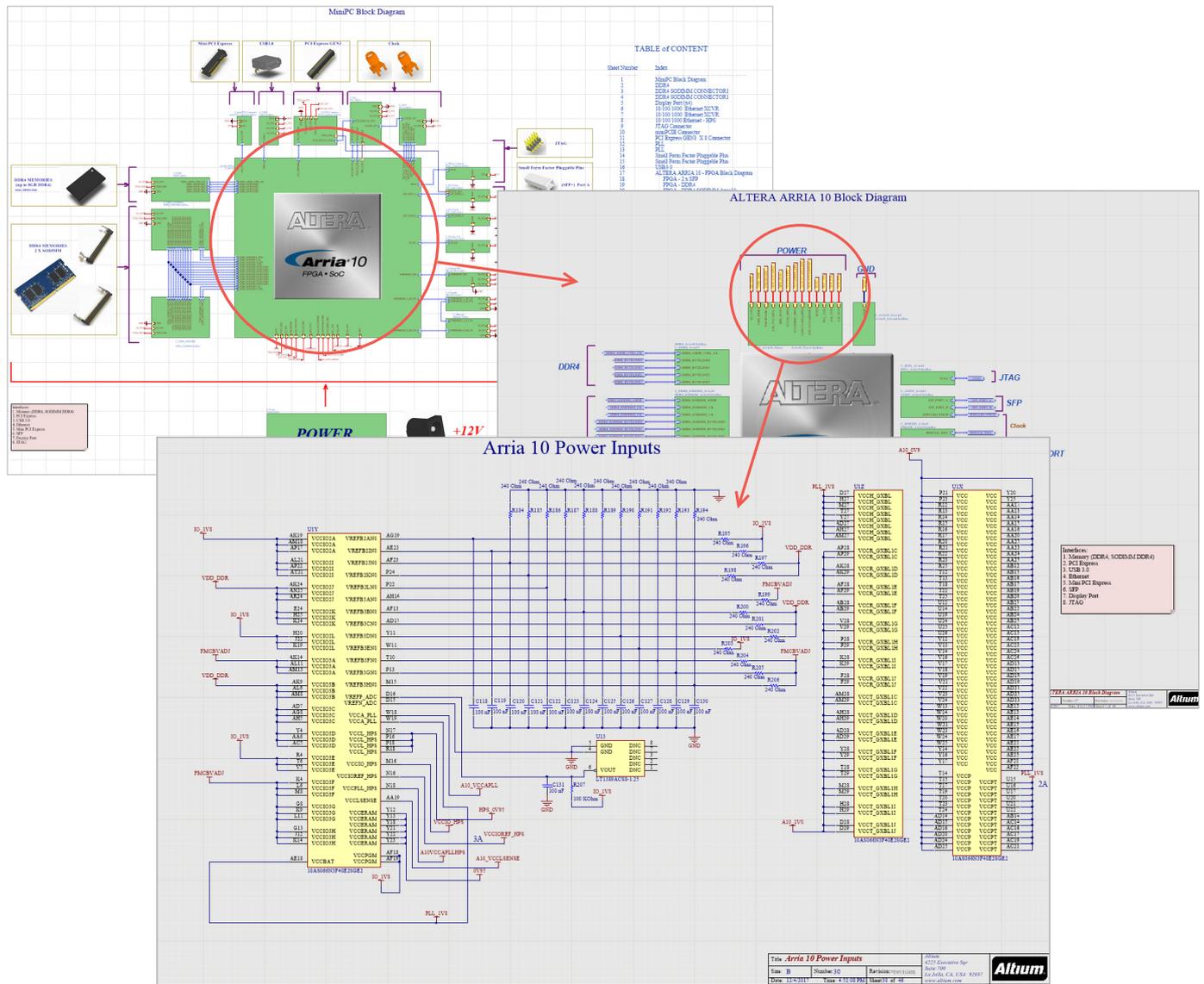
同一回路の回路レイアウト、および配線を自動的に複製することで、PCB側で時間を節約できます。変更は、基礎となる論理回路ブロックに加えることができ、その結果がデザイン全体に反映されます。ブロックを再利用しながら、製品化までの時間を短縮してエラーを最小化することで、全体的なやり直しの可能性やその他の作業を最小限に抑え、設計の整合性を向上させることができます。

¹ Xpedition®、およびPADS® はMentor Graphics Corporationの登録商標であり、Altiumが権利を主張するものではありません。

² EAGLE® はAutodesk Inc.の登録商標であり、Altiumがこの製品に対する権利を主張するものではありません。

³ OrCAD®、およびAllegro®はCadence Design Systems, Inc.の登録商標であり、Altiumが権利を主張するものではありません。

⁴ CADSTAR® はZukenの登録商標であり、Altiumが権利を主張するものではありません。



階層設計では、デザインが階層的な論理モジュールに分割され、より効率的に設計できます

デジグネータのアノテーション

購入、実装、製品のテストのため、全てのデザインの全てのコンポーネントは固有に識別する必要があります。従来型の方法では、回路図とPCBが統合化されておらず、コンポーネントの識別にはもっぱら各コンポーネントのデジグネータに依存しています。一方、Altium Designerは、固有の識別子として知られる各コンポーネントと、回路図シンボル、PCBフットプリント、シミュレーションモデル間の相互関係の観点で統合されています。

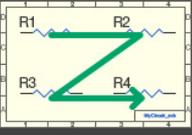
結果、Altium Designerのアノテーションと再アノテーションは、部品配置中に自動インクリメントしながら、回路図から自動的に実行できます。またはPCB側から実行して回路図にバックアノテートし、形状に基づいてデジグネータを順序付けできます。

回路図のページ、位置、サブパートに基づくアノテーション、またはチャンネルとの任意の組み合わせを可能にするために、アノテーションは自動のままにすることも、ユーザーがコントロールすることもでき、必要に応じて、柔軟に対応できます。



Schematic Annotation Configuration

Order of Processing
Across Then Down



Process Location of
Designator

Matching Options
Complete Existing Packages: None

Component Parameter (Strictly)

- Capacitance
- Case Code (Imperial)
- Case Code (Metric)
- Case/Package
- Case/Package
- Category
- ClassName
- Code_IPC
- Code_JEDEC
- Color
- Comment

Schematic Sheets To Annotate

Schematic Sheet	Annotation Scope	Order	Start Index	Suffix
2.5V_and_1.8V_Switches.SchDoc	All	0	1	
2XSFP_Arria10.SchDoc	All	1	1	
3.3V_and_1.8V_Load.SchDoc	All	2	1	
3.3V_to_0.9V.SchDoc	All	3	1	
3.3V_to_1.0V.SchDoc	All	4	1	
3.3V_to_DDR4_VDD.SchDoc	All	5	1	
3.3V_to_VADJ.SchDoc	All	6	1	
3V3_to_0V9.SchDoc	All	7	1	
3V3_to_1V8.SchDoc	All	8	1	
3V3_to_2V5.SchDoc	All	9	1	
12V_3V3_1V8_Switches.SchDoc	All	10	1	
12V_POWER.SchDoc	All	11	1	
12V_to_0V9.SchDoc	All	12	1	
12V_to_3V3.SchDoc	All	13	1	

Proposed Change List

Current Designator	Sub	Proposed Designator	Sub	Location of Part
C1		C1		2.5V_and_1.8V_Switches.SchDoc
C2		C2		2.5V_and_1.8V_Switches.SchDoc
C3		C3		2.5V_and_1.8V_Switches.SchDoc
Q1		Q1		2.5V_and_1.8V_Switches.SchDoc
Q2		Q2		2.5V_and_1.8V_Switches.SchDoc
Q3		Q3		2.5V_and_1.8V_Switches.SchDoc
Q4		Q4		2.5V_and_1.8V_Switches.SchDoc
Q5		Q5		2.5V_and_1.8V_Switches.SchDoc
Q6		Q6		2.5V_and_1.8V_Switches.SchDoc
Q7		Q7		2.5V_and_1.8V_Switches.SchDoc
R1		R1		2.5V_and_1.8V_Switches.SchDoc
R2		R2		2.5V_and_1.8V_Switches.SchDoc
R3		R3		2.5V_and_1.8V_Switches.SchDoc
R4		R4		2.5V_and_1.8V_Switches.SchDoc
R5		R5		2.5V_and_1.8V_Switches.SchDoc
R6		R6		2.5V_and_1.8V_Switches.SchDoc
R7		R7		2.5V_and_1.8V_Switches.SchDoc
R8		R8		2.5V_and_1.8V_Switches.SchDoc
R9		R9		2.5V_and_1.8V_Switches.SchDoc
R10		R10		2.5V_and_1.8V_Switches.SchDoc
R11		R11		2.5V_and_1.8V_Switches.SchDoc
U1	15	U1	15	2XSFP_Arria10.SchDoc

Annotation Summary

Annotation is enabled for all schematic documents. Parts will be matched using 2 parameters, all of which will be strictly matched. (Under strict matching, parts will only be matched together if they all have the same parameters and parameter values, with respect to the matching criteria. Disabling this will extend the semantic slightly by allowing parts which do not have the specified parameters to be matched together.) Existing packages will not be completed. All new parts will be put into new packages.

Buttons: Update Changes List, Reset All, Back Annotate, Accept Changes (Create ECO)

シンプルなアノテーション

美しく、自然なWYSIWYG表示

多くの回路図エディターは、目に優しくないことが常に悩みの種です。技術者が集中することは仕事の重要な部分です。しかし、白や黒を背景としたピクセル単位の幅の不明瞭な色の線を凝視することは苦痛でしかありません。Altium Designerはより見やすい色と線幅を使っているため、その他の多くの回路設計ツールとは異なり、設計の際にも目が疲れません。

さらに、Altium Designerは、状況に応じて動作する洗練された直感的なUIも備えています。大手競合他社の製品とは異なり、Altium Designerは、貴重な画面をわかりにくい記号の多数のボタンやツールバーで占拠し、ユーザーの気をそらすなどということがありません。必要なものは、必要なときにカーソルのすぐそばに表示されます。

回路図のデザインルール

回路図(ネット、ワイヤ、バス、ハーネス、あらゆるコンポーネントやシート、ドキュメントのパラメーター)には、デザインルールの「ディレクティブ」を追加できます。これらを使用してルールを実行することで、PCBを正しくレイアウトでき、基板設計を最初から正しく行うために役立ちます。

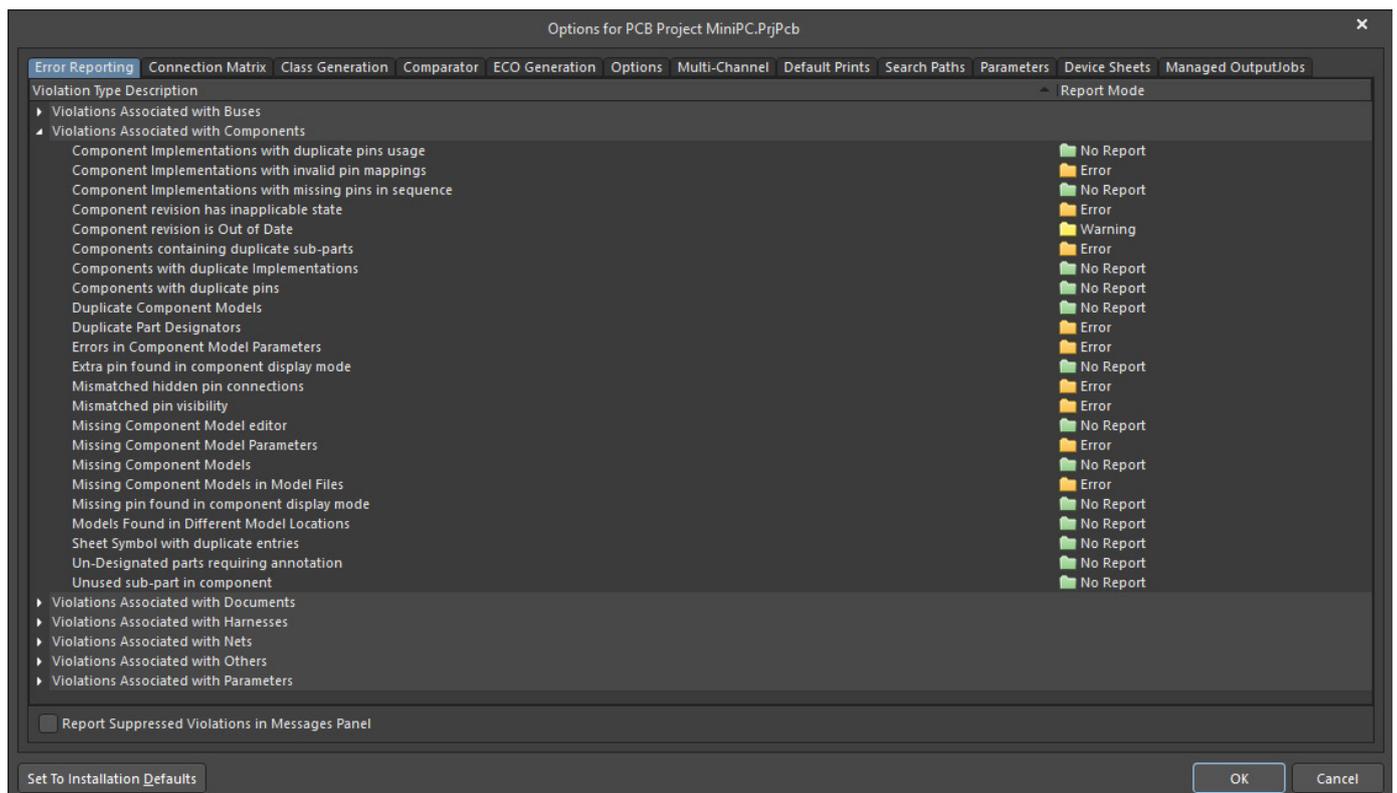
この例としては、差動ペアの定義やDDRメモリー配線用のlength-matchingルールなどが挙げられます。作成されたデザインルールにより配線やレイアウトが行われるため、時間を節約でき、回路図(すなわち、技術者)からのPCB設計者のためのガイドともなります。ここでの利点は、発生し得るエラーが少なくなり、存在するエラー(筐体との衝突など)を特定できることです。エラー数が減少し、エラーを迅速に見つけることができるため、製品の開発期間が短縮され、製造と再設計のコストも削減できます。



電気的ルールチェック

回路図での電気的ルールチェック (ERC) により、設計の問題点が通知されます。デザインルール チェックは基板を正しくレイアウトし、製造の要件を満たすために役立つのに対して、電気的ルールチェックはエンジニアリングレベルでの設計ミスを防ぐために役立ちます。

例えば、2つの出力駆動ソースを互いに接続するとルール違反となり、Messagesパネルに該当のエラーメッセージが出力されるため、最終的な回路で電気的な誤りがあることを知ることができます。電気的なエラー数が減り、エラーを迅速に見つけることができるため、製品の開発期間が短縮され、製造と再設計のコストも削減できます。また、ERCにより、製造後にそのデザインが正しく動作する確率も高めます。



電気的ルールチェックの検証レポート

統一された定義済みデザイン材料を使ったデザインの再利用

統一されたデザイン ユニットのテンプレートを作成すると、設計の情報を整理しておくことができます。デザイン ユニットの定義は、パッドのように小さなプリミティブから完全なプロジェクトまで多岐に及び、全ての新しい設計材料の共通した基礎として機能します。

スニペットは、回路図やPCBレベルで回路を保存し、全てのデザインで共通の回路として活用できます。

デバイスシートは、デザイン全体で再利用できる性能が保証された回路ブロックを作成できます。これらは、スニペットと違ってさらに複雑で、この設計の他の部分との接続が事前に定義されます。例えば、この設計の別の回路に、5Vの電力を供給する電源システムなどがこれにあたります。

回路のレイアウトと配線を再利用することで、回路図とPCB側で時間を節約できます。変更は、基礎となる論理的な領域に加えることが可能で、その結果が設計全体に反映されます。ブロックを再利用しながら、製品化までの時間を短縮してエラーを最小化することで、全体的なやり直しの可能性やその他の作業を最小限に抑え、設計の整合性を向上させることができます。