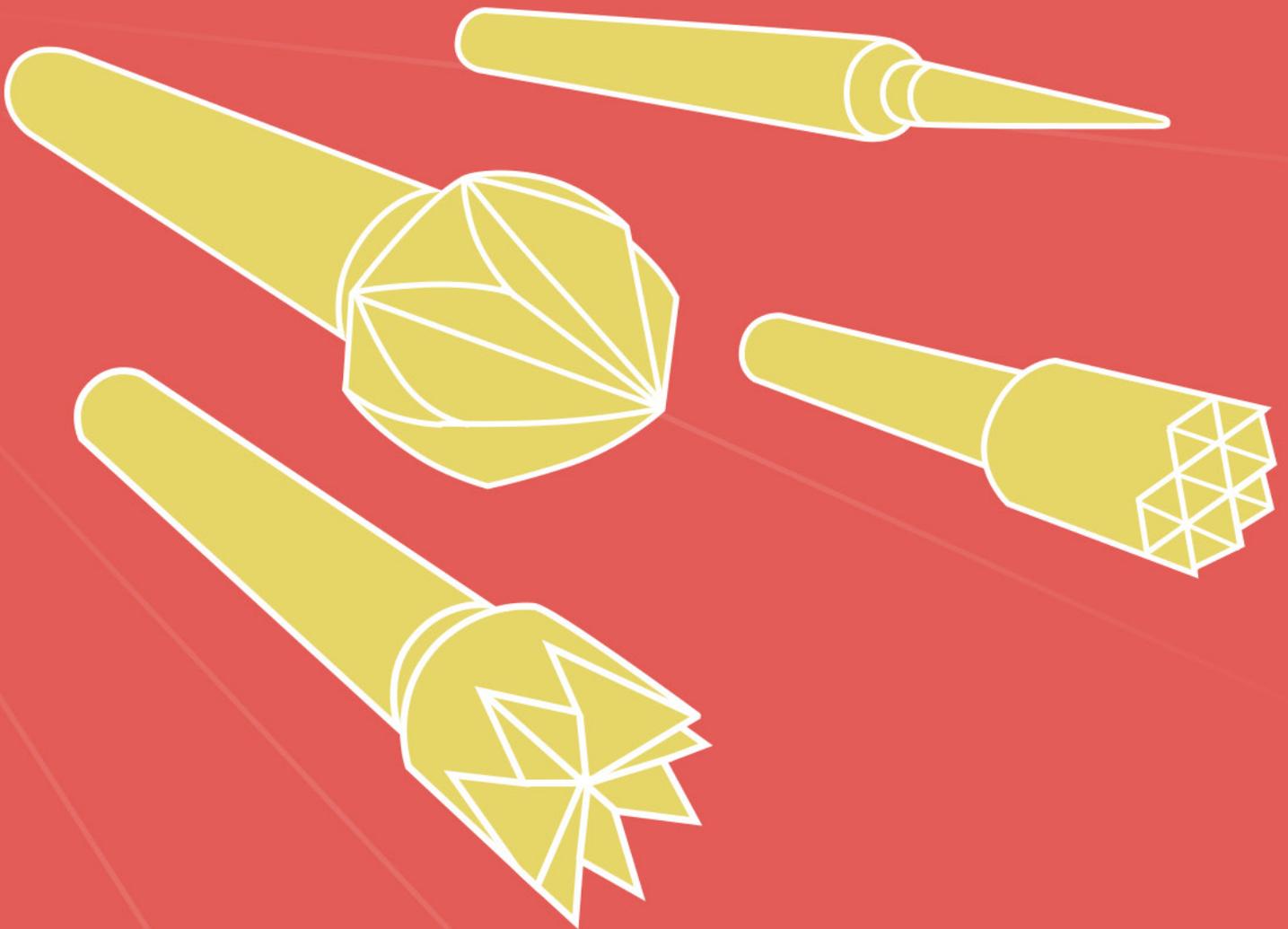


Altium.

Progettazione basata sulla testabilità



Christopher E. Carlson

Senior Field Applications Engineer

PROGETTAZIONE BASATA SULLA TESTABILITÀ

RIEPILOGO

Il costo complessivo per la produzione di un circuito stampato completo può essere suddiviso in diverse categorie di base: Costi di produzione del PCB vuoto, costi dei componenti e costi di assemblaggio e collaudo. L'ultima voce, costi di collaudo della scheda completa, può variare dal 25% al 30% del costo totale di produzione del prodotto.

La progettazione finalizzata alla redditività si basa su due aspetti logici: il Design for Manufacturability (DFM - progettazione basata sulla produttività), ovvero lo sviluppo di un prodotto che abbia il minor costo di produzione possibile, mantenendo la più bassa probabilità di difetti, e il Design for Testability (DFT - progettazione basata sulla testabilità). Progettando un prodotto che abbia il massimo livello di resa di collaudo e per il quale sia possibile isolare rapidamente gli errori, siano essi di produzione o di componenti, il DFT è fondamentale in una progettazione finalizzata alla redditività. In questo documento, analizzeremo approfonditamente il DFT, soffermandoci specificatamente sui collaudi interni al circuito (ICT).

LINEE GUIDA PER DFM E DFT

Durante la scelta di un fornitore (CM), bisogna verificare che possa inviare sempre le linee guida DFM e DFT. È opportuno leggere tali linee guida per ogni fornitore che viene preso in considerazione. Il confronto tra le linee guida DFM e DFT di diversi fornitori consente di comprendere il loro livello di esperienza, conoscenza e capacità. Pertanto, tali linee guida rappresentano un utile strumento per decidere qual è il migliore fornitore al quale affidare la fabbricazione dei prodotti della propria azienda.

PIANIFICARE IN ANTICIPO

Le prime domande da farsi in fase di progettazione sono:

1. Chi eseguirà il collaudo sull'assemblaggio?
2. Quali sono le capacità di chi eseguirà il collaudo?

Le linee guida DFT saranno utili per la progettazione iniziale del layout. Tuttavia, sarebbe opportuno contattare direttamente il fornitore e discutere di esigenze specifiche con un ingegnere esperto, addetto al collaudo. L'ingegnere addetto al collaudo sarà così in grado di dimostrare le proprie capacità e illustrare le diverse metodologie di collaudo che è in grado di fornire. La combinazione di boundary scan (JTAG), collaudi ICT automatizzati, laminografia a raggi X (AXI) e ispezione visiva (manuale e automatica) fornisce il livello di testabilità più completo. Fornisce inoltre l'accesso a un feedback immediato sul processo di produzione, consentendo quindi di modificare rapidamente il flusso di lavoro, in modo che i componenti difettosi possano essere individuati e scartati.

In seguito, occorre considerare quale livello di testabilità sia necessario per garantire la qualità del prodotto finito. L'utilizzo completo delle capacità di collaudo potrebbe essere richiesto o non necessario e potrebbe avere costi proibitivi. Ad esempio, se stai progettando un esemplare unico di satellite in orbita intorno alla terra, avrai bisogno di effettuare ogni tipo di collaudo disponibile, per assicurarti che il prodotto finale funzioni in modo affidabile per anni, in una situazione in cui ripararlo non sia possibile. Al contrario, se devi produrre biglietti di auguri musicali, un solo semplice collaudo funzionale potrebbe essere sufficiente.

COLLAUDO ICT

I collaudi ICT sono in grado di rilevare diversi difetti, sia sul fronte della produzione che su quello dei componenti. Esistono due sistemi di collaudo ICT. Il primo sistema utilizza un dispositivo di collaudo, all'interno del quale è racchiuso l'assemblaggio del circuito stampato (PCA) da testare, che sonda diverse reti per eseguire il collaudo. Il secondo è il flying probe test (collaudo con sonda mobile), in cui le sonde sono controllate da un sistema elettronico che applica dei contatti elettrici a specifiche reti del PCA da testare.

È possibile testare cortocircuiti/circuiti aperti, componenti mancanti, componenti posizionati con polarizzazione errata o con valori errati e molti altri aspetti. I collaudatori ICT possono inoltre alimentare il PCA da testare e attivare i circuiti analogici e digitali per verificare il corretto funzionamento. I sistemi di collaudo ICT possono eseguire questo regime di collaudo con un elevato volume di capacità di trasmissione.

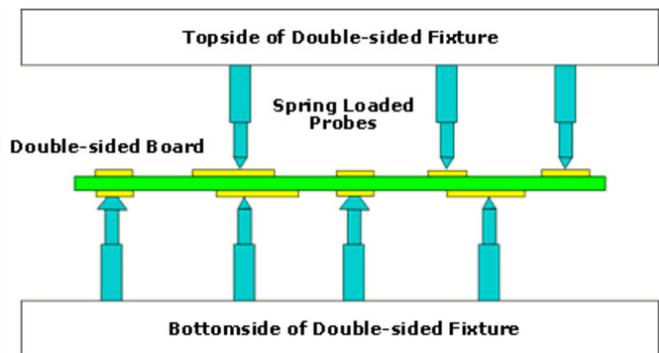
PROGETTAZIONE BASATA SULLA TESTABILITÀ

CONSIDERAZIONI DI PROGETTO PER I COLLAUDI ICT

I requisiti sono leggermente diversi per ciò che può essere considerato un punto di prova per i collaudatori ICT che utilizzano testine rispetto ai test con sonda mobile (flying probe test).

Per i sistemi di collaudo che utilizzano un dispositivo a testina, sono disponibili linee guida DFT, che specificano le caratteristiche di un punto di collaudo. Quando esegui la mappatura dei posizionamenti e del layout del PCB, assicurati di avere a portata di mano una copia di queste linee guida DFT, inviate dal fornitore che eseguirà il collaudo finale sull'assemblaggio.

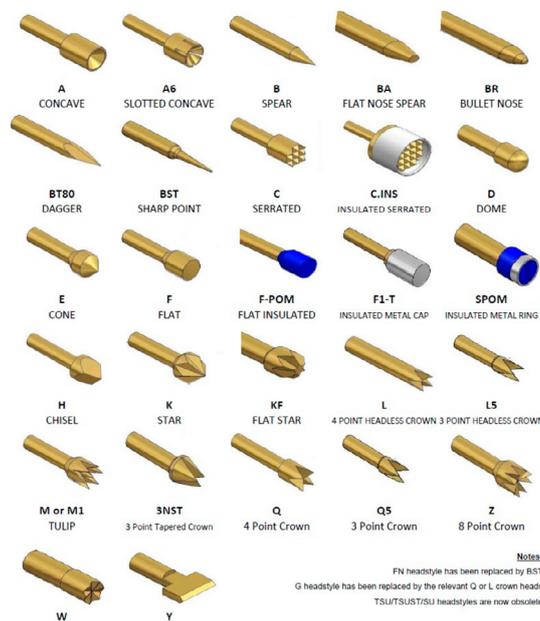
Il dispositivo ICT sonderà diverse funzionalità della scheda, allo scopo di fare misurazioni, fornire energia, impulsi e calcolare i segnali del PCA da collaudare. I sistemi di collaudo sono in grado di sondare entrambi i lati del PCA. Tuttavia, se si mantengono i punti di collaudo su un solo lato della scheda, è possibile ridurre la complessità del dispositivo di collaudo, riducendo i costi e ottenendo un maggiore ritorno sull'investimento (ROI) per il prodotto in questione.



Dispositivo per collaudo ICT [1]

Una volta sviluppato il dispositivo di collaudo per un PCA, ogni ulteriore modifica al dispositivo, per facilitare i cambiamenti apportati al prodotto, implicherà dei costi aggiuntivi. Tali costi aggiuntivi potrebbero accumularsi. Per questo motivo è necessario fare molta attenzione prima di apportare modifiche al PCA, per evitare di spostare i punti di collaudo in posizioni diverse.

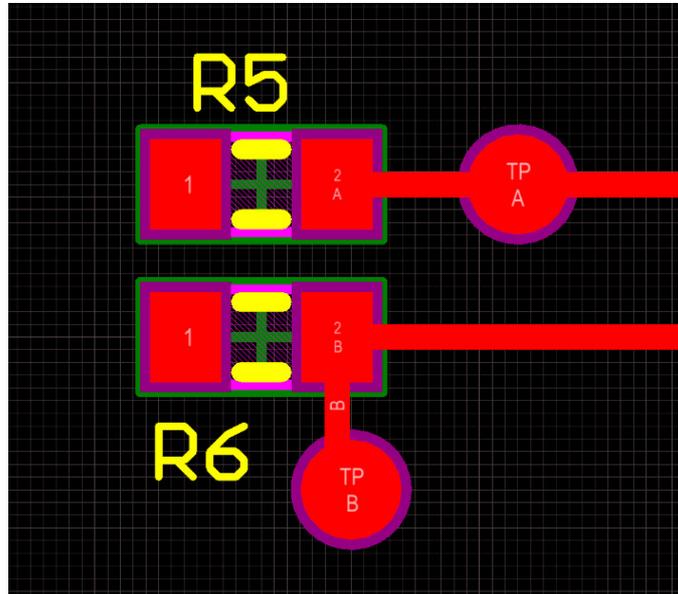
Numerose caratteristiche di un PCA possono essere utilizzate come punto di collaudo ICT. Esistono diversi tipi di sonde a molla (pin) per facilitare il corretto collegamento elettrico a una rete sul PCA.



Sonde per collaudo ICT [2]

PROGETTAZIONE BASATA SULLA TESTABILITÀ

È spesso possibile sondare le piazzole forate, dotate di un piedino sporgente, come ad esempio i pin connettori che sporgono sul lato secondario (parte inferiore) della scheda. Spesso, è possibile utilizzare come punti di prova i contatti vias. Tuttavia, le piazzole SMT con componenti saldati potrebbero non essere considerati punti di collaudo validi per l'utilizzo di un dispositivo per test.



Punti di collaudo ICT - TP

Quando si utilizza la tecnologia SMT e non sono disponibili contatti vias, da utilizzare come punti di collaudo, è necessario integrare nel progetto delle piazzole da utilizzare come punti di collaudo. All'interno delle linee guida DFT, inviate dal fornitore che eseguirà il collaudo, devono essere descritti la geometria e gli spazi necessari per le piazzole di collaudo ICT.

Altre informazioni pertinenti che dovranno essere incluse nel documento DFT sono gli spazi tra i punti di collaudo, gli spazi da lasciare liberi sul bordo della scheda e la definizione degli elementi utilizzabili come punti di collaudo.

Lo strumento EDA, utilizzato per realizzare il layout della scheda, deve avere un set di regole di progettazione che definisce sia ciò che costituisce un punto di collaudo, sia il livello di testabilità richiesto. Configurando correttamente queste regole (nel rispetto delle linee guida DFT) nelle fasi di progettazione del layout, la produzione della documentazione di collaudo diventerà un processo automatico.

The image shows two panels of EDA software settings for ICT test point rules.

Left Panel: AssemblyTestpoint

- Name: AssemblyTestpoint
- Unique ID: WXSIFUHN
- Where The Object Matches: All
- Constraints:
 - Sizes:
 - Min Size: 40mil, Hole Size: 0mil
 - Max Size: 100mil, Hole Size: 40mil
 - Preferred Size: 60mil, Hole Size: 32mil
 - Clearances:
 - Min Inter-Testpoint Spacing: 0mil
 - Component Body Clearance: 0mil
 - Board Edge Clearance: 0mil
 - Distance to Pad Hole Centers: 0mil
 - Distance to Via Hole Centers: 0mil
 - Grid:
 - Use Grid:
 - Origin: X: -3560.039mil, Y: -2850.394mil
 - Grid Size: 1mil
 - Tolerance: 0.01mil
 - Allow testpoint under component:
 - Allowed Side:
 - Top:
 - Bottom:
 - Rule Scope Helper:
 - SMD Pads:
 - Vias:
 - Thru-hole Pads:
- Buttons: Set Scope

Right Panel: AssemblyTestPointUsage

- Name: AssemblyTestPointUsage
- Unique ID: IKKNUBCQ
- Where The Object Matches: All
- Constraints:
 - Testpoint(s):
 - Required:
 - Single Testpoint per Net:
 - Testpoint At Each Leaf Node:
 - Allow More Testpoints (Manually Assigned):
 - Prohibited:
 - Don't Care:

Regole del collaudo ICT, relative alle caratteristiche e alla testabilità di un punto di collaudo

PROGETTAZIONE BASATA SULLA TESTABILITÀ

Testpoint Net Status		
Net	Bare-board Fabrication	In-circuit Assembly
1V2	Incomplete	Incomplete
1V8	Incomplete	Incomplete
1V8_FT	Incomplete	Incomplete
3V3	Incomplete	Incomplete
3V3_FT	Incomplete	Incomplete
16M_IN	Incomplete	Incomplete
16M_OUT	Incomplete	Incomplete
32.768K_IN	Incomplete	Incomplete
32.768K_OUT	Incomplete	Incomplete
A0	Incomplete	Incomplete
A1	Incomplete	Incomplete
A2	Incomplete	Incomplete
A3	Incomplete	Incomplete
A4	Incomplete	Incomplete
A5	Incomplete	Incomplete
A6	Incomplete	Incomplete
A7	Incomplete	Incomplete

Buttons: Fabrication Testpoints..., Assembly Testpoints..., Search Order...

Status Summaries:

- Bare-board Fabrication Testpoint Status Summary**
 - 0 Nets contain illegally assigned testpoints.
 - 203 Nets are missing testpoint assignments on one or more nodes.
 - 0 Nets contain testpoint assignments that comply with current rules.
 - 0 Nets are devoid of testpoints, in compliance with current rules.
 - 0 Nets are not governed by Enabled Testpoint rules.
- In-circuit Assembly Testpoint Status Summary**
 - 0 Nets contain illegally assigned testpoints.
 - 203 Nets are missing testpoint assignments on one or more nodes.
 - 0 Nets contain testpoint assignments that comply with current rules.
 - 0 Nets are devoid of testpoints, in compliance with current rules.
 - 0 Nets are not governed by Enabled Testpoint rules.

Assignment Results: [Close]

Gestore automatico dei punti di collaudo

Report Formats

- Text
- CSV
- IPC-D-356A

Test Point Layers

- Top layer
- Bottom layer

Units

- Imperial
- Metric

Coordinate Positions

- Reference to absolute origin
- Reference to relative origin

IPC-D-356A Options

- Adjacency Information: 25mil
- Board Outline: Keep-Out Layer
- Conductor Traces

Buttons: OK, Cancel

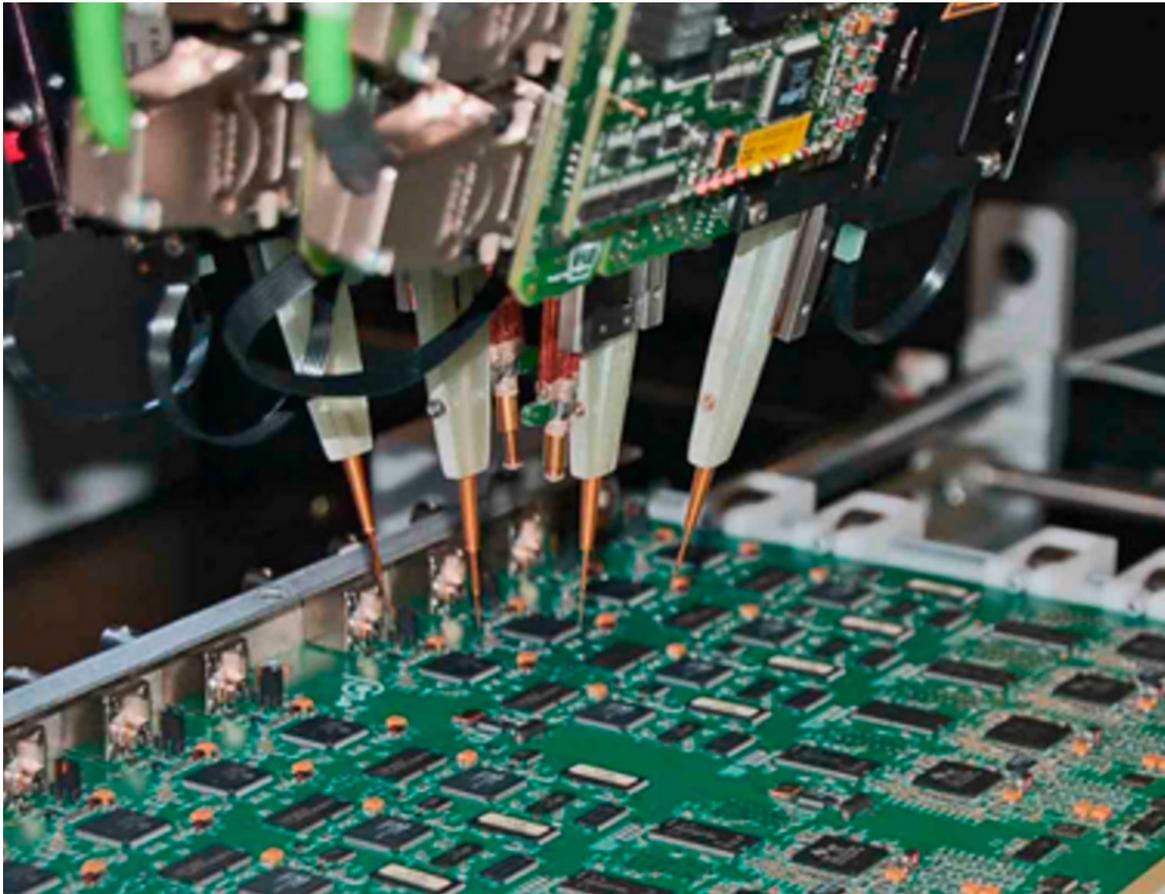
Generazione del file dei punti di collaudo

Dopo aver configurato il punto di collaudo e le regole di progettazione, lo strumento EDA avrà funzioni automatizzate per assegnare i punti di collaudo all'interno del progetto. In linea generale, la documentazione prodotta sarà un file o report sui punti di collaudo, contenente le coordinate di ogni punto. Questo report può essere generato in diversi formati di file, incluso l'IPC-D-356A. Il fornitore che eseguirà il collaudo o che deve realizzare il dispositivo per i test, potrebbe richiedere il report in altri formati. Consulta il tuo fornitore che eseguirà il collaudo per verificare quali dati siano necessari per realizzare il dispositivo per i test.

COLLAUDO CON SONDA MOBILE (FLYING PROBE TEST)

Il collaudo con sonda mobile (Flying Probe Test) non richiede strumenti o un dispositivo ad hoc per il collaudo. Per questo motivo rappresenta la soluzione di collaudo ICT dal costo più basso. Inoltre, permette di sondare anche i piedini dei componenti SMT saldati sul PCA. Nel valutare il fornitore che eseguirà il collaudo ICT, potrebbe essere prudente chiedere se ha la capacità di realizzare collaudi con sonda mobile (Flying Probe Test). Questa tecnica richiede soltanto la programmazione di un sistema di collaudo e non prevede i costi di realizzazione dello strumento per i test. Inoltre, in caso di modifiche di progettazione (ECO) al PCA, non sarà necessario evitare di modificare i punti di collaudo, poiché per gestire le differenze tra il nuovo assemblaggio e quello precedente, sarà sufficiente apportare delle modifiche a livello di programmazione.

PROGETTAZIONE BASATA SULLA TESTABILITÀ



Sistema di collaudo ICT con sonda mobile (Flying Probe) [3]

CONCLUSIONE

Poiché la fase di collaudo su un circuito stampato può arrivare ad avere un costo pari al 30% di quello totale, è fondamentale pianificare adeguatamente e in modo strategico il processo DFT. Per questo processo è importante comprendere da subito quali sono le capacità del produttore e qual è il livello di testabilità necessario per garantire un prodotto finito di qualità. Dopo che avrai completato la fase di pianificazione, un collaudo ICT completo ti consente di individuare diversi difetti, prima della produzione completa della scheda.

CITAZIONI

[1] ICT Test Fixture. Digital image. N.p., n.d. Web.

http://www.mtarr.co.uk/courses/topics/0251_fixt/index.html

[2] ICT Test Probes. Digital image. Peak Test. N.p., n.d. Web.

<http://www.peaktest.co.uk/about/product-guides/headstyles>

[3] Flying Probe ICT Test System. Digital image. Acdi. N.p., 2 July 2011. Web.

<http://www.acdi.com/latest-news/ict-without-expensive-fixtures-acdi-expands-capabilities-with-in-house-flying-probe-tester>