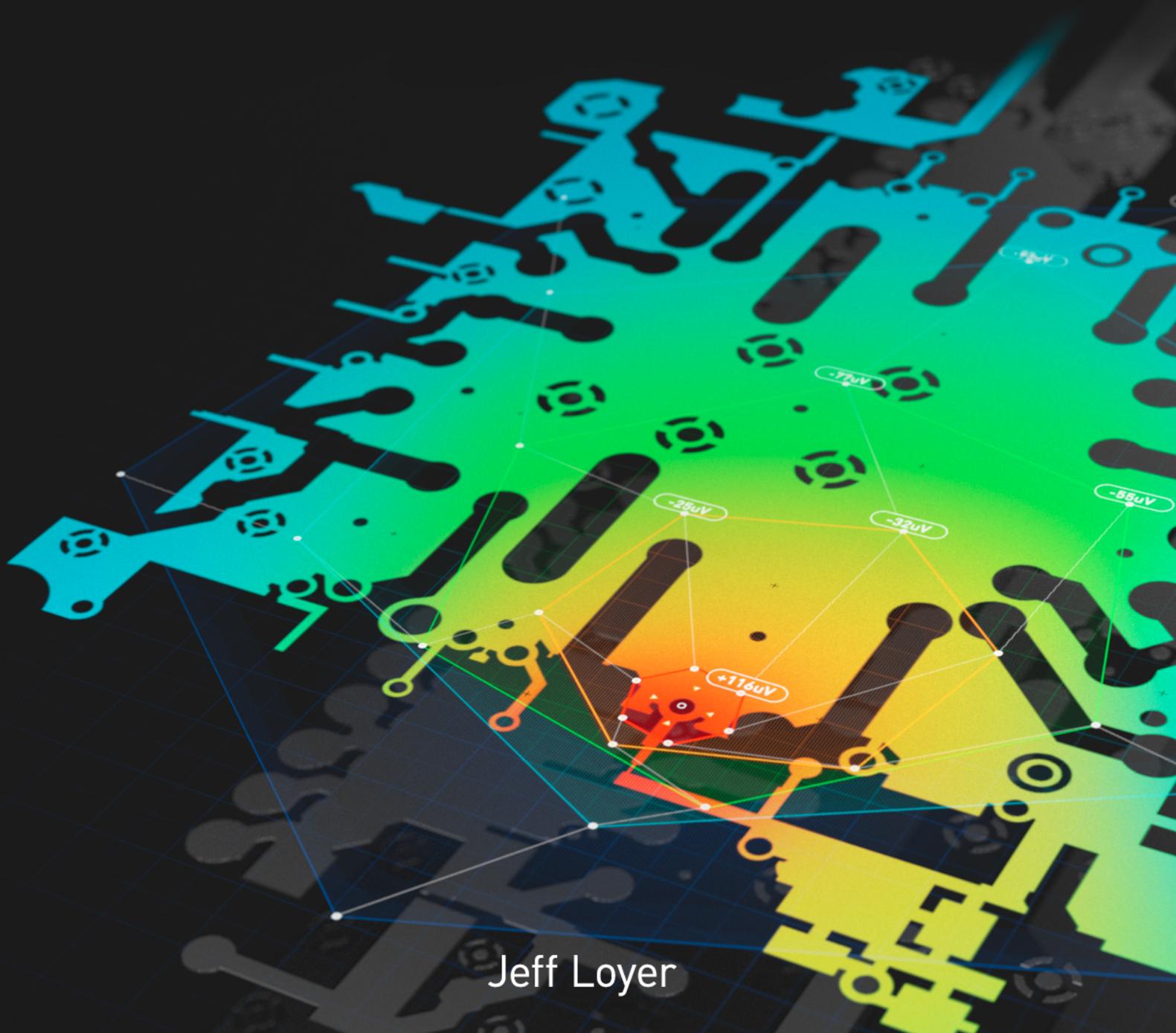


**Altium**<sup>®</sup>

# デジタル設計者に不可欠なPDNのDC解析



Jeff Loyer

# デジタル設計者に不可欠なPDNのDC解析

## はじめに

電源供給ネットワーク (PDN) のDC解析は、通常「IRドロップ」、「DCパワーインテグリティ」、「PI-DC」と呼ばれますが、以下の基本的な問題について、あらゆるデジタル (またはアナログ) 設計者が質問し、答えます。

- 各負荷に十分な電圧を供給するため、ソースと負荷の間に十分な銅箔を配置しているか?
  - 電源、GND領域が十分か?
  - ビアの数、またビアの大きさは十分か?
- PDN shape (領域) をうまく最適化できるか?
- デザインのどの部分が最も過熱しやすいか?
- GND shapeに何かを接続したか?

多くのデジタル設計者は、精密なシグナルインテグリティ解析の必要性や、PDNのAC関連要素 (例えば、デカップリングコンデンサーがいくつ必要か) を理解することの重要性は認識していますが、DCのPDN (PI-DC) 解析にはほとんど目を向けません。しかしながら、PI-DC解析は、設計の品質の基本的理解を可能にし、高価な設計の基板面積やレイヤーを節約してコスト効率の高いデジタル設計を実現できるので、やはり重要です。PI-DC解析が答えられる基本的な問題は、比較的単純です。例えば、「各負荷に十分な電圧を供給するため、ソースと負荷の間に十分な金属 (この場合はほぼ例外なく銅) を配置しているか?」といったものです。しかしながら、今日の小型化された統合設計の世界では、この問題に正確に答えることで、成功と失敗の違いを示すことができます。

つい最近まで、デジタル設計は、デスクトップPCと大型サーバーなど、ラージ フォームファクターによって左右されていました。それらの設計では、金属レイヤー全体を電源供給専用にして、電源と負荷の間の電圧降下を最小限に抑えることができました。電力供給に十分過ぎる領域が割り当てられた場合、保守的な経験則を使用した見積りでは、領域の大きさはあまり問題にはなりません。デジタル設計者は、電源供給shapeを最適化して、その領域とレイヤーを最小化することについてほとんど考えることなく、DC電源の供給が「十分」であることのみ確認していました。

そのような時代は終わりました。サーバーの設計ですら非常に高密度になり、基板面積は、過度に保守的な設計慣習によって無駄使いできない貴重な要素になっています。電源供給用の金属が全て「不可欠」である現在、レイヤーを追加したり基板サイズを大きくする余裕はありません。PI-DC解析は、電源供給金属が十分であるだけでなく、必要であることを確認する非常に高度な機能です。

## PI-DCツールで提供されるデータ

PI-DCツールで提供される最初のデータは、電源ネットの抵抗性によるソースから負荷への電圧降下です。非常に大きい電源プレーンによるゼロへの降下は想定できなくなっています。設計が小型化するにつれ、電源プレーンの概念は適用できない場合が生じています。レイヤーが主に電源供給専用で割り当てられている場合がありますが、そのレイヤーは、おそらく、その設計内に一意の電圧を供給する多数のセクション (ネット) に分割されます。PI-DCにより、各ネットですべての電圧降下が生じるかを確認でき、各電圧ネットに適切な領域を割り当てることができます。図1は、1.8Vの電源shapeの、2層経路に沿ったソース (U4, VRM) から負荷 (U1, FPGA) への典型的な3D電圧プロットです (この図ではビアは隠れています)。電圧プロットを入念に考察することで、以下のことが分ります。

- U4 (1.7V、公称1.8Vから5%降下) と (1.69V) の間で10mVだけ降下している。
- U4からFPGA電圧リングへの単一トラックが、電源降下の最大ソース。
- 一部のビアからの電圧降下がある (いくつかのビアの上部のネットの色が下部の色と異なっている) 。
- ソースとデカップリング コンデンサーC3の間には、予想どおり電圧降下がない。コンデンサーは、DC解析では「オープン」として扱われる。

## デジタル設計者に不可欠なPDNのDC解析

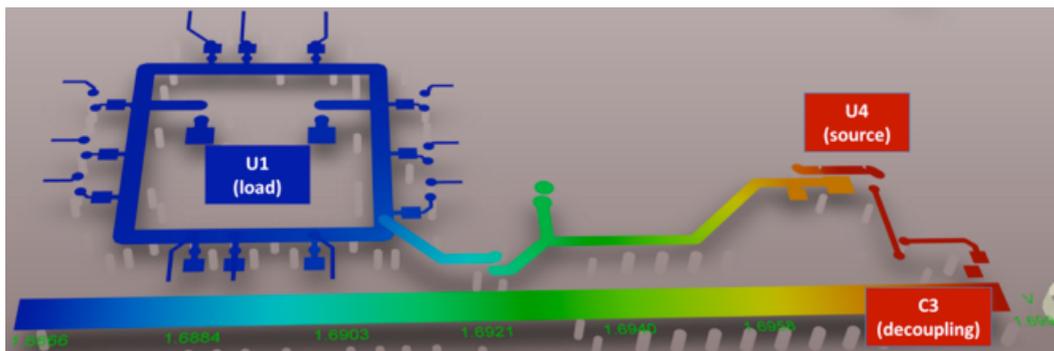


図1: 電源ソース (U4) から単一の負荷 (U1, FPGA) への電圧プロット

PI-DCツールは、関心のあるshape内の電流密度 (「J」) もレポートします。これにより、設計者は、必要に応じて、電流密度が最も高い (「ピンチポイント」 $w/J_{max}$ ) 領域を修正できます。このプロットは、電圧プロットから結論づけた内容を確認するものです。おそらく、結果によってはもっと単純な方法で表示されます。残念ながら、通常は、単一のしきい値を電流密度の限界として設定しません。このため、多くの場合は相対値のみが使用されます。熱性能は、Doug BrooksおよびJohannes Adamが論文「Trace Currents and Temperatures Revisited」(Doug Brooks、日付不明) で示しているように、電流密度だけでなく、システムの熱散逸や、shapeの断面積に依存します。

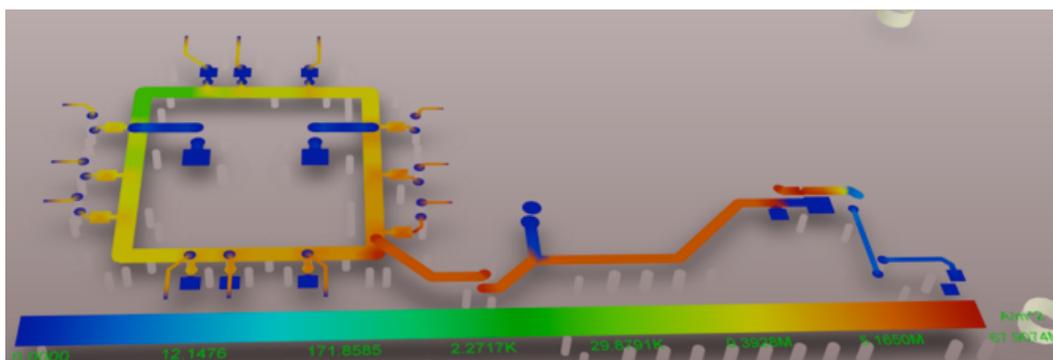


図2: 電源ソース (U4) と単一の負荷 (U1, FPGA) の間の電源ネットの電流密度プロット

PI-DCツールがなければ、設計者はおそらく、電源供給shapeから流す電流に基づいて特定の幅を決定する従来のルールを使用することになります。この方法では、少なくとも2つの問題があります。

- 1) ソースと負荷の間の距離と関係なく同じ最小幅を使用することは、多くの場合、意味がありません。  
例えば、6フィートと100フィートの延長コードで同じゲージのワイヤは使用しません。
- 2) 電源供給領域の長さ全体に沿って同じ幅を使用することは、基板面積を無駄に消費するうえ、最も効率的な設計でもありません。

PI-DCツールから得られた結果により、設計者は、長さに基づいて適切に電源供給shapeのサイズを決めることができます。また、必要な場所で距離を短くするために電源供給shapeを狭くし、その領域を広げて、基板面積をより多く使用できる、それらのくびれ部分を補うことができます。PI-DCツールは、電源供給ネットの最適なshapeを見つけるために欠かすことができません。

また今日、GNDshapeの大きさは無尽蔵ではありません。最近の設計では通常、GNDに割り当てられる領域には限りがあります。GND領域のそのような制限により、「接地」で電圧が顕著になる可能性があるため、ゼロは想定できません。また、GNDの電圧の問題は電源ネットに関してより複雑です。GNDの任意のポイントの実際の電圧は、さまざまな電源ネットの電流によって誘起される電圧の累積です。例えば、ある設計で、デバイスに1.8Vと3.3Vの両方が供給されるとします。2つの電源ネットの電圧は理論的には独立していますが、デバイスのGNDピンには1.8Vおよび3.3Vの電流によって誘起される電圧がかかります。その関係を正確に理解してモデル化することが重要です。幸い、DCの場合の累積は非常に単純で、加算 (逆の極性での供給の場合は減算) するだけです。しかし、設計者は、電源shapeのサイズがより単純であると同時に、任意の点でのGND shapeのサイズは複数のソースからの電流を収容する必要があることに留意する必要があります。

# デジタル設計者に不可欠なPDNのDC解析

PI-DCツールは、デバイスのGND電圧を参照電圧として使用して、DC電圧をデバイスに供給できる必要があります。任意の「GND」点（例えば電圧ソース）を基準とする電圧は、多くの場合役に立ちません。GND shape内の電流は、GNDネット上に有意の電圧を誘起する可能性があり、またこれは電源供給ネットワークのDC解析によって把握されるべきものです。

PI-DCツールは、電源供給のために必要なビアの個数と大きさについて、貴重な見識も提供します。これはささいな機能に感じられるかもしれませんが、電源ビアは、割り当てられた電源レイヤーの上下のレイヤーの配線をブロックすることで、全てのレイヤー上で貴重な資源というべき領域を消費します。多数のまたは過剰サイズのビアを使用することは、今日の設計にとっては許されない贅沢なのです。電源供給ビアの割り当てについて過度に保守的になることの最も皮肉な結末は、ビアが他の電源プレーンやGNDプレーンに穴を開け、ビアによって解決される問題以上の問題を引き起こす可能性があることです。

## 温度の影響についての理解

多くのPI-DCツールが直接は規定しない事項が、電流の熱影響について、つまり金属がどれほど熱くなるかについてです。これは、電流と電力のI<sup>2</sup>R関係を考慮すれば非常に重要です。電流が大きければ小さい抵抗でも大量のエネルギーを消散し、それによって局所的なホットスポットの発生と誘電材料や導体の障害につながります。しかしながら、PI-DCツールは、電源の電流密度とGND shapeについての情報を提供するので、設計者は低電流密度とそれによるより低い電力消散を最適化できます。

IPC仕様2152（以前は2221）は、許容範囲の温度上昇に対して配線幅を最小化することで問題を回避する際の手引きとなります。PCB設計者は、多くの場合これを誤って使用します。つまり、非常に安全側寄りの温度上昇値（例えば1℃）を入力し、それに相当する広い幅のトレースを、ソースから全ての負荷までのPDN shape全体に向けた最小幅のトレースとして使用します。上記の仕様をそのような方法で適用すると、設計者は、電力供給のために必要以上に多くの領域を割り当てることを強いられて、貴重な設計資源を消費したり、設計用により多くのレイヤーが必要になります。最も効率的な電源供給を設計するには、IPC-2152を盲目的に適用するのではなく、よく理解する必要があります。上記の仕様をより慎重に適用する設計者は、PI-DCツールが提供する情報を活用しながら、確実に安全な設計を行いつつPDN領域を削減することができます。

IPC-2152を適用する際、許容範囲内の任意の低い温度上昇値を使用する代わりに、デジタル設計者は、誘電物質と金属が損傷や障害のリスクなく収容できる温度上昇を表す値を使用する必要があります。例えば、**図3**は、1℃の代わりに許容範囲の45℃の温度上昇によって、設計者が、最低限のトレースを1ozの銅箔の2A電流について0.3"（赤）から0.02"（青）にまでいかに削減できるかを示しています。したがって、PI-DCツールを使用すると、最低限の幅を使用する際に全ての負荷の電圧要件が満たされていることを確認できます。

不幸なことに、熱問題は非常に複雑であり、温度シミュレーションツールを作ったとしても、問題の複雑さゆえに限られた見識しか得られないでしょう。正確な答えを得るには、PCB材料、レイヤーの数、銅の密度、さまざまなコンポーネントの熱生成と熱消散、設計周囲の空気流量、周囲条件といったシステムの対温度性能に寄与する多数のコンポーネントの正確なモデルが必要です。デジタル設計者は、一般に保守的であることを余儀なくされますが、熱効果を考慮する際は次のような重要事項に注意する必要があります。

- 全ての設計が、熱について同一ではありません。たとえば、低電力コンポーネントとともに冷却された環境にあることが分っている設計では、非常に温度の高い筐体内で多量の電力を消費する設計と比べて、熱効果を収容できる量を小さくする必要があります。
- 設計内の全ての領域は、熱について同一ではありません。外側のレイヤーや熱いコンポーネントの直下または近接部などの、熱消散が最も行われにくい場所については、特別な考慮が必要です。熱いコンポーネントから離れた領域は、電力がより効率的に消費されるので、熱効果の影響を受けにくくなります。限られた技量で電力不足のデバイスに餌を与えることは、大惨事の典型的なシナリオです。

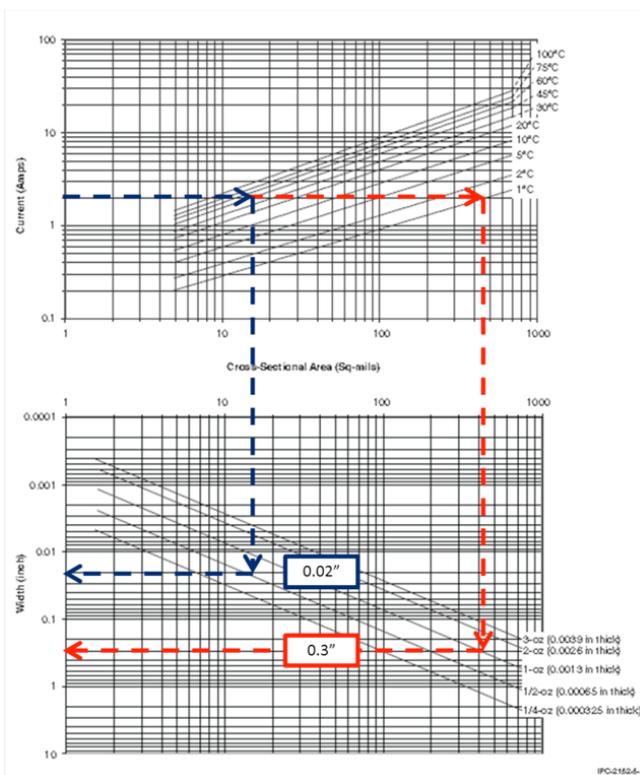


図3: IPC-2152を使用して、トレース幅を0.3"から0.02"に縮小

## デジタル設計者に不可欠なPDNのDC解析

- 電流密度がどれだけ増加していますか？ 加熱は、 $IR^2$ に比例してそのshapeで消費される電力の関数です。電流密度の計画には特別の配慮が必要であり、電流密度が最大の場所には銅を追加する必要があります。前述のように、熱効果は非常に多くの要因に依存するので、「最大電流密度」に制限を設定することはおそらく不可能ですが、PI-DCを使用すれば、設計者は問題発生の可能性の高い領域を強調し、設計領域の相対的な「不良性」を測定することが可能です。
- shapeは外部のレイヤーか、内部のレイヤーか？IPC-2152データは、内部のレイヤー（ストリップライン）がマイクロストリップレイヤーより容易に熱を消散することを示しています（ただし、この現象は対流冷却を増大させるトレース上の空気流量に依存しますが、実際は、熱をより消散するマイクロストリップトレースがある可能性があります）。
- 熱要件は使用する材料に大きく依存します。フレキシブル設計（特に能動的にフレキシブルである場合）は、一般にリジッドPCBなどと比べると高温での耐久性に劣ります。
- 誘電物質よりもよく熱を消散する比較的冷却された銅箔が近くにありますか？

### PI-DCのGIGO（ごみを入れればごみしか出てこない）を回避する方法

当然のことですが、PI-DCツールは、役に立つツールであるために正確な結果を提供する必要があります。ツールの正確性は、洗練された2Dや3Dのモデリングエンジンの機能性だけでなく、シミュレーションに入力される前提事項の機能性にも依存します。このツールを使用する全てのユーザーがツールに入力する重要な前提条件やパラメーターについて習熟できることが必須条件です。

「正しい結果を得る」ための第一のパラメーターは、設計で使用する金属の伝導性です。これは単純に聞こえますが、たいいていの人々が自覚するよりも多くのことを意味しています。例えば、大半のパワー/シグナルインテグリティ ツールは、プリント回路基板（PCB）が金属として伝導度 $5.88e7S/m$ の「銅」を使用すると想定しています。業界データ<sup>2, 3</sup>は、これに反して、PCBで使用する「電着」銅は、 $25^{\circ}C$ で伝導度 $4.7e7S/m$ の純粋な銅と比べて著しく伝導性が低いことを示しています。妥当性検査とシミュレーションの結果が異なる場合は、金属伝導度を検証する必要があります。

伝導度はまた、実際に設計が動作する温度に向けて調整する必要があります。例えば、銅の伝導度は摂氏 $1^{\circ}C$ ごとに $0.4\%$ 低下します。 $125^{\circ}C$ で動作する銅デザインの金属の伝導度は、 $25^{\circ}C$ よりも $40\%$ 伝導度が低くなります。この相違はシミュレーションで把握する必要があります。最先端のシミュレーションエンジンを誤った条件で動作させても、メリットは何もありません（注：極端に低温または高温で動作させる設計については、 $0.4\%/^{\circ}C$ という温度係数の直線性を動作温度の範囲内で検証する必要があります）。

容易に「誤り」へと向かってしまうその他の根本的な前提条件に、ビアのサイズがあります。多くのPCB設計ツールは、特定のビアのサイズを示すために単一の値のみを使用しており、またその数字が何を表しているかについても不明確です。通常、ビアはソリッド円柱構造であると想定されますが、多くの場合それは正確ではありません。ビアは完全には充填されておらず、したがって内径と外径（それぞれI.D.およびO.D.とします）を持つ空隙のある円柱である可能性があります。ビアの実際の切断面領域は、それらの両方の径に依存します。つまり、大型であるが空隙のある円柱の横断面の面積は、小型の充填された円柱よりも小さくなります。電力供給に使用される典型的なビアについて、多くの設計者は、1つのビアに単一の値が与えられている場合、その値がドリルサイズ（外径）を示していると想定しています。ビアは完全に充填されている、またはソリッドな円柱で適切に表せると考えられています。この想定は必ずしも正しくない可能性があり、誤った結果を生むことがあります。

ビアを適切にモデル化する方法を厳密に正しく理解するには、ユーザーはビアの寸法がどのように仕様化されるか、およびその仕様の実装がどのような形状か（横断面はどのような形状か）を知る必要があります。多くのツールでは、ユーザーは内径および外径を入力できず、ソリッドビアのみを入力できます。このような場合や、ビアの実装に空隙があることが分かっている場合は、正しい横断面領域を表すようにビアの外径を調整する必要があります。幸いなことに、O.D.とI.D.を指定した空隙のある円柱と同じ横断面領域になるソリッド円柱の正しい径を特定することは、ささやかな数学的問題にすぎません。それは2つの差、つまりO.D. - I.D.です。難しいのは、シミュレーションを行う際にビアを適切にスケール変更して、物理的な設計において意図しなかった結果にならないようにすることです。

電力供給に使用するPCB外部レイヤーは、モデル化の際、特に問題が発生しやすい場所です。PCB外部レイヤー上の銅箔厚はメッキ厚に対応しており、基板全体でさまざまに異なります。電力供給に使用する場合でシミュレーション結果がラボでの測定と合致しない場合は、外部レイヤーの厚みを必ず測定します。

## デジタル設計者に不可欠なPDNのDC解析

最後に、負荷の適切な表現は最初は単純に思えますが、実は単純ではありません。設計者は、抵抗やダイオードのような受動的な負荷では負荷は抵抗として正しくモデル化され、FPGAのようなアクティブなコンポーネントでは、電流シンクとしてモデル化されることを想定します。しかし、アクティブなコンポーネントを電流シンクとしてモデル化する場合、設計者は、引き出される電流として最大電流（ $I_{max}$ ）を使用しなくなる可能性があります。PDNでの電圧降下を測定するためにPI-DCシミュレーションを実行する場合、最大電流の妥当性を示すのは難しく、過剰に悲観的な結果につながる可能性があります。引き出される電流が最大になるのは、おそらく最大電圧（ $V_{max}$ ）印加時です。通常は、電圧範囲の最低限值を使ってシミュレーションを行う必要があり、正しいシミュレーション結果を得るには、引き出される電流がその範囲を反映する必要があります。電圧降下シミュレーション中の能動的負荷のより合理的なモデルは、抵抗です。抵抗の値は、デバイスの公称電圧機能および電流（ $V_{nom}/I_{nom}$ ）の関数です。反対に、設計者によっては、（電気に関して最小電圧レベルを考慮するのではなく）熱に関して、避けたい最大電流密度を考慮することがあります。（熱に関する考慮事項について）PI-DCを使って最大電流密度をシミュレーションする場合、おそらくソースに対しては $V_{max}$ 、受動負荷に対しては $R_{min}$ 、能動負荷に対しては $I_{max}$ が使用されるべきです。これにより、許容可能な最大電流がより正確にモデル化されます。

PI-DCツールを使用する場合は、シミュレーションで使用された固有の前提条件を全て理解して正確に検証することが重要です。そうしないと、得られた結果は意味のないものになる可能性があります。

### 結果の検証

シミュレーションとそこで入力されるパラメーターの正確性を確保するため、デザインを適切に検証することは重要です。幸い、PI-DCでは簡単に行えます。各負荷の電圧は、通常簡単に測定でき、参照として局所的なGNDを含めることができます。おそらく、最も苦勞する点は、1) GND shapeの電圧が重要な要因である場合、測定時に全ての負荷が最大電力を消費する確実な方法を見つけること、2) 抵抗率への熱効果を正しく把握することです。全ての負荷をそれぞれの限界値で同時に作用させる場合は、累積が必要になる可能性があります。この場合、問題は、シミュレーションで使用される同じ参照に関して、各負荷で「接地」の電圧を計測することです。熱に関しては、（温度の関数として変化する）正しい金属伝導性を計算するための電源シェイプの実際の温度という観点が必要になります。この温度の計測には、多くの検証ラボでは通常見られない、熱電温度計、赤外線放射温度計、IR温度センサーなどの機器が必要です。

計測された電圧がシミュレーションと一致しない場合、シミュレーションの前提条件と結果をそれぞれ検証する必要があります。これまで、適切な前提条件を確認する方法に対して十分な情報を提供するよう試みてきましたが、結果の確認方法についてはどうでしょうか？ PI-DCツールが正しく認識する必要のあるほとんどの基本データは、ソースと負荷の間の抵抗ですが、通常直接は入力されません。ただし、最小限の設計の実際のオーム計の測定と比較できる値を入力するテスト回路を作成することは簡単です。ソースが0Vの電池として、負荷が1Aの電流シンクとしてモデル化されている場合、負荷の電圧は、ソースと負荷の間の抵抗として直接表されます（電圧の符号は無視します）。例えば、以下の例（**図4**）は、ソース（電源のU4ピン2、GNDのJ1ピン2および3）と負荷（U1）の間の抵抗を、PI-DCシミュレーターを使って決定した結果を示しています。



図4: 抵抗計測のためのPI-DCの設定 ( $1V = 1\Omega$ )

<sup>1</sup> Doug Brooks, Johannes Adam. 電流/温度/電源/抵抗のトレースに関する記事。UltraCAD: [http://ultracadm.com/article\\_temperature.htm](http://ultracadm.com/article_temperature.htm)より

<sup>2</sup> Loyer, Kunze, Burkhardt. Accurate Insertion Loss and Impedance Modeling of PCB Traces (PCBトレースの正確な挿入損失とインピーダンスモデリング)。DesignCon 2013 (カリフォルニア州サンノゼ)

<sup>3</sup> Loyer, Kunze. Humidity and Temperature Effects on PCB Insertion Loss (PCBの挿入損失への湿度および温度の影響)。DesignCon 2013 (カリフォルニア州サンノゼ)

## デジタル設計者に不可欠なPDNのDC解析

結果は、U1のPDNに30mΩの抵抗があることを示しています（図4で、「-0.03V」と表示されているとおり、U1で30mV）。ラボでこれを確認するには、U4のピン2とJ1のピン2および3の間で0-ohmの「ショート」を発生させ（例えば大きい金属片を置くなど）、U1の電源ピンとGNDピンの間の抵抗を計測します。30mΩ以外の箇所はシミュレーションでエラーになっていることを示します（それらの低い抵抗を計測するには、4端子法などの特殊な技術が必要になる可能性があります）。

電源プレーンとGNDプレーンの抵抗を区別する必要がある場合は、このテスト回路でそれぞれの電圧を解析することで可能です。図5では、電源shapeに27mΩ（濃い青は27mV、つまり27mΩを示します）の抵抗、図6ではGND shapeに3mΩ（赤で表示されています）の抵抗があります。

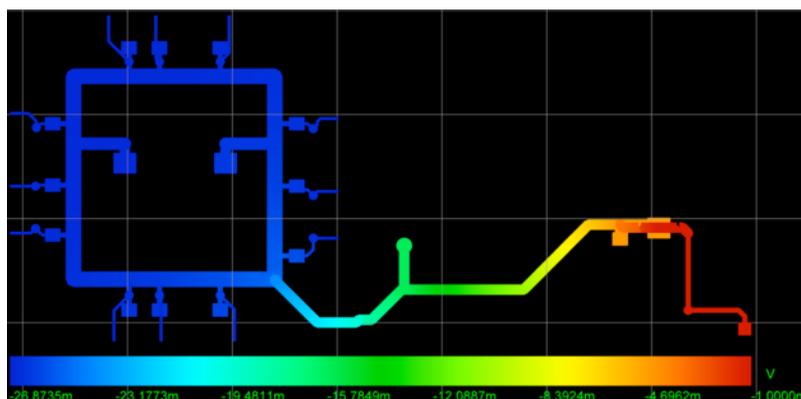


図5: 抵抗の計測結果をプロットした電源shapeの電圧 (1V = 1Ω)

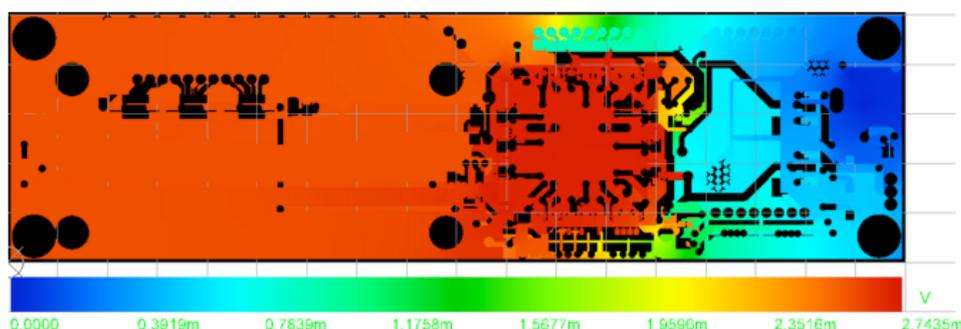


図6: 抵抗の計測結果をプロットしたGND shapeの電圧 (1V = 1Ω)

検証中に考慮すべき重要な要因の1つとして、温度による抵抗率の差があります。例えば、銅の抵抗率は摂氏1℃ごとに0.4%増加します。PDNの抵抗率は、設計を75℃で動作させた場合、室温25℃の場合と比較して20%増加する可能性があります。これは、場合によってはメリットにもなります。全負荷の状態でも高い温度で動作してシステムの電圧が予想どおりの場合、設計者は銅箔が予想より熱くならないことを確信し、shapeの予想外の温度による突発的な不具合の可能性を軽減できます。

### PI-DCのその他の結果

設計でPI-DCを実行すると、実行しなければならなかったであろう多数の欠陥を明らかにすることもできます。例えば、電源shapeおよびGND shapeの電流密度をプロットすると、そのshapeが「半島」状か「浮島」状かを見てもすぐに判別できます。図7は、PI-DC実行後の2層設計の電流密度のプロットを示します。上部のレイヤーでは濃い青が「半島」状、下部のレイヤーでは「浮島」状になっている点に注意してください。PI-DCのこの独特な表示は、設計についてPI-DCを実行しなければ分からない部分を明らかにしています。特定の電圧のPI-DCで使用されないshapeは必要ないと想定する前に、注意が必要です。そのshapeが別の電圧や（コンデンサーに接続された）AC電源の供給で使用される可能性があるからです。PI-DCのシミュレーション中にコンデンサーの場所に小さい抵抗を配置し、対応する電流の分布を確認することで、設計者は、電源shapeでAC電源の供給のために浮島状と半島状のどちらの電流密度が使用されるかを確認できます（このシミュレーションではDCの結果は無効になりますのでご注意ください）。電流の「浮島」および「半島」は、特定の共振周波数を持つ場合、特に問題になります。おそらくある条件下でのみエラーを引き起こす可能性があります。エラーには一見して規則性がなく、場合によっては解決（遅れて実施する検証の方法）が非常に難しくなります。

## デジタル設計者に不可欠なPDNのDC解析

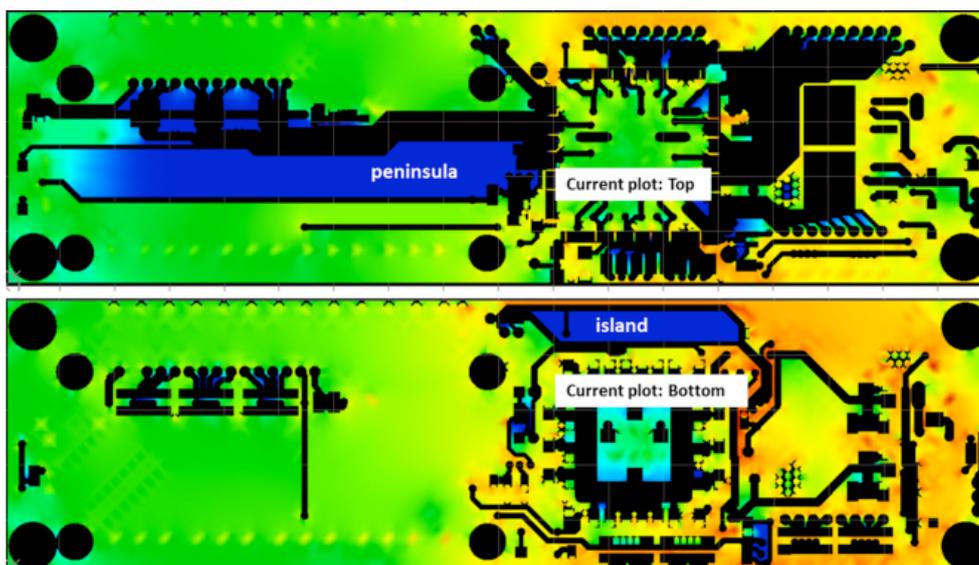


図7: 「半島」状および「浮島」状を示す、GND shapeの電流密度のプロット

電源shapeおよびGND shapeの電流密度および電圧のプロットは、電源ソースと負荷の間の効率的な電流のチャネリングで設計に関する問題を明らかにする可能性もあります。図8の上部のGND shapeの電圧プロットは、ソース（電圧レギュレーターまたはVR）および負荷（FPGA）の間の非効率的な経路を非常に明瞭にします。VRとFPGAの間の経路が単純でない正当な理由があるかもしれませんが、PI-DCは、可能であれば対応できるように、非効率的な経路を強調表示しています。ついでながら、このshapeはAC電源供給では問題があり、GND経路および対応する「グランドバウンズ」に過度のインダクタンスを誘導する可能性がある（インダクタンスはループ領域で増加します）ことが指摘される必要があります。

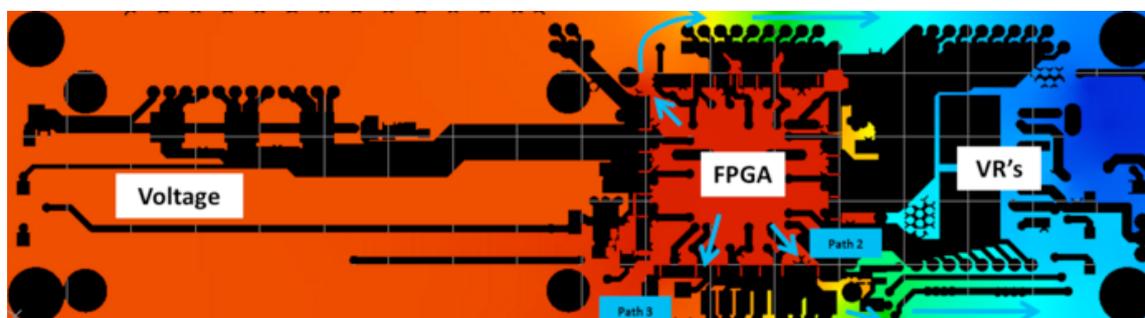


図8: 電流のリターン経路を示す、GND shapeの電圧プロット

もちろん設計者は、（DCのリターン経路としての機能と重複できない）高速信号のリターン経路として使用するコンテキストでGND shapeを検討するよう注意する必要があります。DC電源を供給するためには不要と思われるGND（および一部の電源）shapeが、シグナルインテグリティに不可欠な場合があります。ただしそのようなコンテキストでも、「浮島」および「半島」は回避し、他の選択肢が何もない場合のみ設計すべきです。PI-DCは多くの場合、それらの電流密度が存在する望ましくないshapeを見事に強調表示してくれます。

PI-DCの電流密度のプロットが独自の見識を提供できる別の例を図9に示します。この例では、GNDプレーンの小さい分断が非常によく分ります。分断箇所では電流密度の色が緑から青に突然変化しています。これは、そのshapeのDC電源供給において大きな影響を与えますが、このPI-DCの結果表示がなければ、問題を特定できるかどうかは分かりません。

## デジタル設計者に不可欠なPDNのDC解析

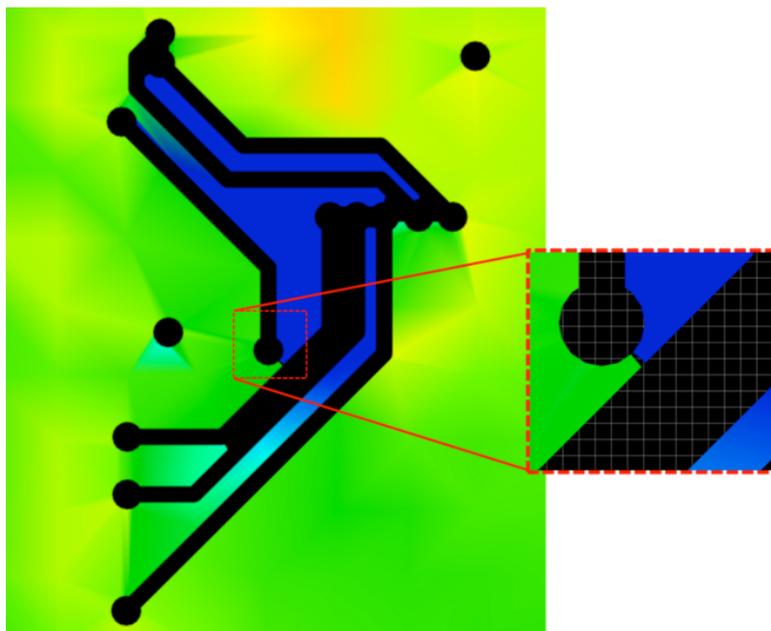


図9: PI-DCの電流密度のプロットにおけるGNDプレーンの小さな分断

PI-DCには、注目すべき非直感的な面があります。経路のDC抵抗は、経路の幅だけでなく長さによっても異なります。DC経路によっては、もし長過ぎなければ、電力供給に対して重大な影響を及ぼさずに狭くすることができます。例えば、**図10**の経路 (b) および (d) の抵抗値は同じです。shapeのDC抵抗を理解するには、**図10**に示すように、「正方形」の考え方が有効です。これにより、設計者は柔軟性を与えられます。つまり、設計者は、短距離であればDC経路の幅を狭くでき、広い空きスペースで可能な限り経路の幅を広げることで他での必要な制限を埋め合わせることができます。ある電力供給ネットワーク全体で同一の経路幅を使用するのは非効率的であり、電力供給を最大化できず、必要以上に大きな電源shapeを使用することになります。

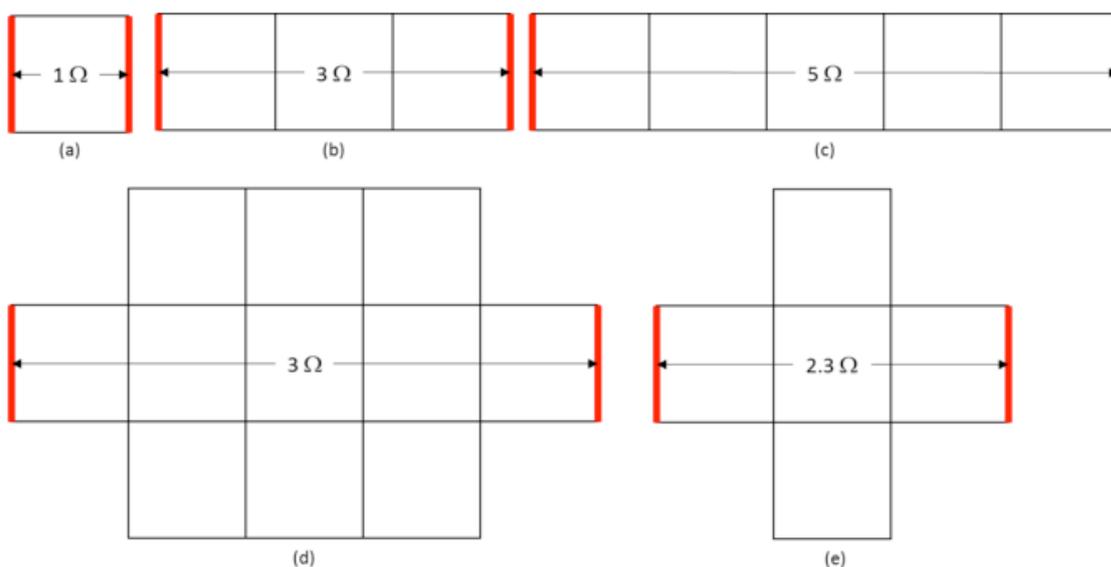


図10: 「正方形」として表された電源shapeの抵抗

**図11**は、形が非常に異なる4つの電源shapeを示しています。いずれも全体の抵抗は同じです。PI-DCは、最も効率的な方法で、電源供給の要件を満たすようPDN shapeを変更するオプションを設計者に提供します。

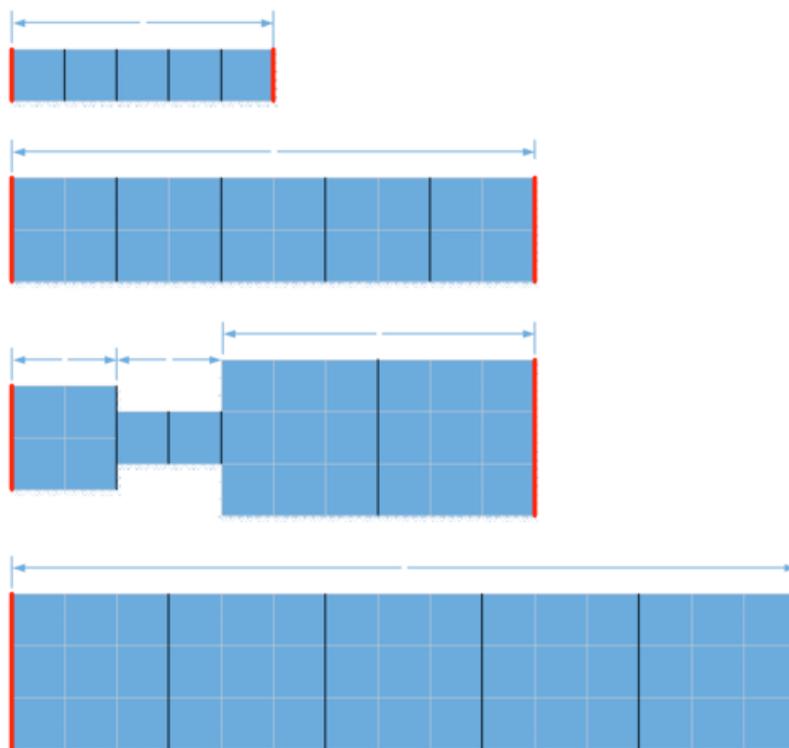


図11: 同じ抵抗を持つさまざまな電源shape

### なぜエラーのある設計でも正しく動作するのか？

PI-DCを既存の設計に適用する際に避けて通れないのは、設計に数多くの「エラー」を見つけてしまうことです。実質的にはPI-DCを使用して解析した全ての設計でエラーが見つかる、との意見もあります。「これほど不具合があるのになぜ動作するのか？」PI-DCの作りに問題があるとしても、エラーのある設計でも動作できるのには、2つの主な要因があります。

- 1) DC電源供給はこれまで保守的でした。所定の電流において導体の正しい幅を決定するため、IPC仕様は、許容できる温度上昇に依存して幅を指定します。デジタル設計者は、温度上昇の許容範囲について信頼できるデータを持ち合わせていないことが多いので、おそらく過去の経験に基づいて控えめな値を使用するか、「使える限りの銅」を供給します。十分かどうかについて自信が持てない場合は、検証中の電圧チェックを頼りにします。その設計が要件を満たしている場合、その事実は設計者の経験に加えられ、将来の設計のガイドラインとして使用されることになります。失敗した設計がなければ、電力供給に使用する銅の量を減らせるかどうかを設計者が知る方法はありません。このため、設計者はより一層保守的になります。設計には、明らかな不具合があったとしてもそれを許容する余地があります。
- 2) 「半島」や「浮島」は、DC電源供給にマイナスの影響は与えませんが、AC電源供給とシグナルインテグリティにはランダムに見える形で影響を与えます。「半島」や「浮島」は設計が改善可能であること示していますが、設計がDC電源供給に失敗しない可能性があります。「半島」や「浮島」が確実に示しているのは、特定の周波数で「共振」といったAC電源供給とシグナルインテグリティについての別の面倒な問題です。この周波数がshape内で励起した場合、過剰のACノイズがPDNに引き起こされ、また、shapeに隣接する信号があればノイズは信号に共振周波数上で重大なノイズを引き起こし、ロジック障害を引き起こします。いずれの場合も、障害は特定の共振周波数の存在に依存してランダムに出現するか、特定の状況下でのみ発生するため、その障害を再現し、トラブルを特定して修正することを非常に難しくしています。手順に従って機先を制しながら害のある問題を軽減するほうがはるかに優れたやり方です。

## デジタル設計者に不可欠なPDNのDC解析

「不完全さ」、「改善の余地のある分野」、「非理想性」という表現のほうが、「エラー」という表現よりも適切でしょう。しかしながら、電源の寿命とコスト削減を声高に主張する今日においては、過剰に保守的であることや「半島」のような電源shapeの不備を許容することが、成功した製品か失敗した製品かの違いを生み、もはや見逃せないものとなっています。PI-DCは、PDNが適切かどうかの情報を提供するだけでなく、電源供給shapeが必要かどうかの情報も提供できます。

### 電流を確実に制限するには

PDNの設計において重要な考慮事項は、予定外の状況に備えることです。設計者は、電流の最悪の増加（接地とのショートなど）の際に、最適化された電源shapeが超過電流を吸収できず、設計に障害を起こす可能性を認識しておく必要があります。壊滅的なエラーが発生した場合（インストール中にショートしたコネクタに供給される電力など）に備えて、電流の流量を制限する手段を用意しておく必要があります。

### ビアのサイズと数の決定

電力供給について一般に使用されている経験則は、断面積が、接続されている電源shapeと同じか、それより大きいビアを十分に用意することです。経験的にはこれで十分ですが、PI-DCツールはこれが必要かどうかを判断してくれます。過剰な数のビアまたは過剰に大きいサイズのビアの使用は、遷移の上下の全てのレイヤーで経路制限を引き起こすので、今日の設計の多くでは安易に行うべきではありません。1つの電源shapeにおける不要なビアは、他のレイヤーの他のshapeに影響を及ぼす可能性があります。PI-DCツールによって、PDNにおけるビアの効果を測定できるようになります。図12は7個のビア（丸で囲まれた「a」から「g」までのラベル）が1つの電源供給設計にあることを示しています。注意深く見ると、a、b、dの3個のビアで色が変わっていることが分かります。これは、各ビアに対応する電圧降下を示しています。ビアの上下での電圧を精査（PI-DCツールの一般的な機能）することで、設計者はビアのサイズと数が必要に応じた適切なものかどうかを決定できます。すでに説明したとおり、シミュレーションにおいてはビアの正しい数値設計にあいまいさが残るので、メッキ厚効果などを考慮に入れる場合は注意が必要です。注意すべき点は、ビアは典型的な「集中要素」として表され、ビアの直径と長さの関数としての抵抗を割り当てられて、一般にはソルバー内の「複合塔」としては解かれないので、正確性を大きく損なうことなくシミュレーションに要する時間を短縮できます。

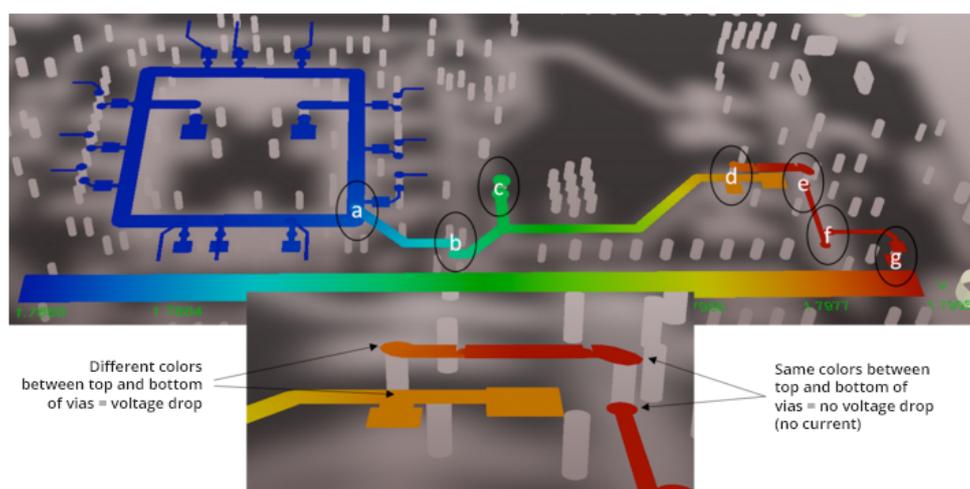


図12: ビアおよびshapeの電圧降下を示す電圧プロット

### 結論

PI-DCシミュレーターは、全てのデジタル設計者のツールボックスに欠かすことができません。性能を改善する一方で、設計のサイズおよび複雑性を軽減する方法について価値のある見識を提供します。電源供給ネットワークの最適化は、貴重な基板面積とレイヤーを節約し、結果的にパフォーマンスと信頼性を向上させながら費用を抑えることができます。PI-DCシミュレーションは、あらゆるデジタル（およびアナログ）設計者に必須の機能です。